

UNIVERSIDADE FEDERAL DO AMAZONAS – UFAM
FACULDADE DE TECNOLOGIA – FT
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA – PPGE

EWERTON GOMES DE OLIVEIRA

**MODELO PARA ESCOLHA DE TOPOLOGIAS
DE SENSORES DE PIXEIS ATIVOS
LOGARÍTMICOS ADEQUADAS PARA
IMPLEMENTAÇÃO DE SENSORES DE
IMAGEM COM LARGO ALCANCE
DINÂMICO**

MANAUS - AM

2016

UNIVERSIDADE FEDERAL DO AMAZONAS – UFAM
FACULDADE DE TECNOLOGIA – FT
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA – PPGE

EWERTON GOMES DE OLIVEIRA

**MODELO PARA ESCOLHA DE TOPOLOGIAS DE
SENSORES DE PIXEIS ATIVOS LOGARÍTMICOS
ADEQUADAS PARA IMPLEMENTAÇÃO DE
SENSORES DE IMAGEM COM LARGO ALCANCE
DINÂMICO**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Amazonas, como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica na área de concentração Controle e Automação de Sistemas.

Orientador: Prof. Dr. Carlos Augusto de Moraes Cruz

MANAUS - AM

2016

Ficha Catalográfica

Ficha catalográfica elaborada automaticamente de acordo com os dados fornecidos pelo(a) autor(a).

O48m Oliveira, Ewerton Gomes de
Modelo para escolha de topologias de sensores de pixels ativos
logarítmicos adequadas para implementação de sensores de
imagem com largo alcance dinâmico / Ewerton Gomes de Oliveira.
2016
97 f.: il. color; 31 cm.

Orientador: Prof. Dr. Carlos Augusto de Moraes Cruz
Orientador: Prof. Dr. Davies William de Lima Monteiro
Dissertação (Mestrado em Engenharia Elétrica) - Universidade
Federal do Amazonas.

1. Sensor de pixel ativo (Active Pixel Sensor). 2. Sensor de
imagem CMOS (CMOS Image Sensor). 3. Ruído de padrão fixo
(Fixed-Pattern Noise). 4. Largo alcance dinâmico (Wide Dynamic
Range). I. Cruz, Prof. Dr. Carlos Augusto de Moraes II.
Universidade Federal do Amazonas III. Título

EWERTON GOMES DE OLIVEIRA

MODELO PARA ESCOLHA DE TOPOLOGIAS DE SENSORES DE PIXEIS ATIVOS LOGARÍTMICOS ADEQUADAS PARA IMPLEMENTAÇÃO DE SENSORES DE IMAGEM COM LARGO ALCANCE DINÂMICO.

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Amazonas, como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica na área de concentração Controle e Automação de Sistemas.

Aprovado em 18 de abril de 2016.

BANCA EXAMINADORA


Prof. Dr. Carlos Augusto de Moraes Cruz, Presidente

Universidade Federal do Amazonas- UFAM


Prof. Dr. Eduardo Adriano Cotta, Membro

Universidade Federal do Amazonas- UFAM


Prof. Dr. Davies William de Lima Monteiro, Membro

Universidade Federal de Minas Gerais- UFMG

Dedico este trabalho ao Deus todo poderoso a quem devo cada fôlego de minha vida e a quem serei eternamente grato por cada dádiva dada a mim.

Ao Deus que sempre esteve presente com seu forte braço quando minhas forças se esvaíam e com seu poder para operar milagres quando o impossível tornava-se real em meu caminho.

Àquele que era, é e sempre será digno de todo louvor, glória e honra. Receba como oferta de adoração e que seu nome seja mais uma vez exaltado em minha vida e através dela.

Ao Rei eterno, ao Deus único, imortal e invisível, sejam honra e glória para todo o sempre. Amém. (Bíblia Sagrada, I Tm 1.17)

Agradecimentos

Agradeço à minha linda e amável esposa Jacqueline pelo apoio incondicional e pelo amor dado a mim capaz de manter-me firme em busca de conquistar sonhos. À nossa filha Laís que mesmo não compreendendo o que fazia por horas na frente do computador, se encostava em mim dando seu apoio em forma de um meigo carinho. Seu sorriso sempre me motiva a ser melhor do que fora antes. À nossa mais nova filha, Letícia, que mesmo em gestação trouxe inspiração a cada movimento sentido por minhas mãos sobre a barriga de sua mãe e que enche-me de alegria a cada novo dia.

À minha amada mãe Zenaide X. Gomes pelos inestimáveis amor e carinho dedicados a mim e meus irmãos para que fôssemos homens e mulheres de caráter ilibado. Seus esforços sempre foram além do que se podia dar. Por isso, minha gratidão por sempre abdicar de sua vida em nosso favor, com o intuito de dar-nos o que jamais teve.

Ao meu pai Pedro Alves pelos anos valiosos nos quais acompanhou meu crescimento. Honrar você é expressar o amor que Deus preservou em mim por você.

Aos meus irmãos e irmãs pelo apoio e valor direcionados a mim ao longo de nossas vidas. Tê-los junto a mim é uma dádiva inigualável da qual desejo sempre desfrutar.

Ao meu querido amigo e orientador Carlos Augusto pelo sempre presente apoio e pela paciência de indicar-me o caminho a seguir. Sua amizade tornou-se um valioso prêmio que não esperava obter.

Ao professor Davies William pelas palavras motivadoras em cada etapa concluída e ao sorriso sempre presente em seu rosto, característica marcante de quem tem prazer em ver o crescimento de outros.

Ao estimado Alexandre Kennedy pelo suporte dado a quem se tinha muito a aprender. Que sua humildade lhe reserve tesouros muito maiores do que se imagina e que Deus o honre cada vez mais.

Ao gerente de produção da Sony, Pedro Costa, por acreditar neste sonho e prover tempo dentro de minhas atividades afim de dedicar-me aos estudos. Também a todo o time da Montagem Automática que na minha ausência sempre foram capazes de cumprir as tarefas com alto grau de excelência.

Agradecimento especial à 8.^a congregação da Igreja Evangélica Assembleia de Deus no Amazonas no bairro de São Jorge, pela compreensão de minhas não poucas horas ausentes de seu pastoreio e pelas preciosas orações em meu favor.

*“Assim,
descobri que o melhor e o que vale a pena é comer, beber,
e desfrutar o resultado de todo o esforço que se faz debaixo do sol
durante os poucos dias de vida que Deus dá ao homem,
pois essa é a sua recompensa.”
(Bíblia Sagrada, Eclesiastes 5:18)*

Resumo

Este trabalho apresenta um estudo sobre o comportamento e eficácia de diferentes técnicas de redução de ruído de padrão fixo, do inglês *fixed-pattern noise* (FPN), aplicadas a diferentes topologias de pixel operando em modo logarítmico. A finalidade deste estudo é o estabelecimento de um meio consistente para realizar comparação cruzada imparcial da eficácia de diferentes técnicas de redução de FPN aplicadas a pixels com diferentes topologias e projetados sob o mesmo rótulo tecnológico, e assim estabelecer critérios de julgamento que permitam determinar qual topologia será a mais adequada para implementação de um sensor de imagem operando em modo logarítmico. Investigações da eficácia de duas técnicas de redução de FPN similares aplicadas a quatro diferentes topologias de pixel foram realizadas através de simulações Monte Carlo. As análises dos resultados de excursão do sinal de saída, FPN total e residual, razão de distorção do sinal, consumo de energia e fator de preenchimento são capazes de demonstrar que topologias de pixel produzem melhores resultados em cada um destes critérios. Tais resultados proporcionam dados valiosos que permitem uma mais concisa decisão sobre qual topologia de pixel e técnica de redução de FPN escolher no projeto de um sensor de imagem com largo alcance dinâmico.

Palavras-chave: Sensor de pixel ativo. Sensor de imagem CMOS. Largo alcance dinâmico. Ruído de padrão fixo.

Abstract

This work presents a study on the behavior and effectiveness of different Fixed-Pattern Noise (FPN) reduction techniques applied to different pixel topologies operating in logarithmic mode. The purpose of such study is the establishment of a consistent way to perform fair cross comparison of the effectiveness of different FPN attenuation techniques applied to pixels with different topologies and designed in the same technological node, and thus establish judgment criteria for determining which topology will be most suitable for implementation of an image sensor operating in logarithmic mode. Investigations of the effectiveness of two similar FPN reduction techniques applied to four different pixel topologies were performed through Monte Carlo simulations. The analyses of results of output signal swing, total and residual FPN, signal-to-distortion ratio, power consumption and fill factor are able to demonstrate which pixel topologies yield better results in each of these criteria. Such results provide valuable data that allows a more concise decision on which pixel topology and FPN reduction technique to choose in the design of an imager array with wide dynamic range.

Keywords: Active pixel sensor. CMOS image sensor. Wide dynamic range. Fixed-Pattern noise.

Lista de ilustrações

Figura 2.1 – Transistores nMOS e pMOS	27
Figura 2.2 – Corte transversal de um circuito integrado CMOS	28
Figura 2.3 – Modelo físico do Sensor Pixel	30
Figura 2.4 – Ciclo de operação do Sensor Pixel	31
Figura 2.5 – A evolução dos sensores de imagem MOS e aspectos relacionados	33
Figura 2.6 – Pixeis com diferentes fatores de preenchimento	35
Figura 2.7 – Visão de corte transversal de pixeis com diferentes fatores de preenchimento	35
Figura 2.8 – Visão de corte transversal de microlente interna ao chip	36
Figura 2.9 – Eficiência Quântica de sensores	37
Figura 2.10–Gerações de processos e futuras previsões	41
Figura 2.11–Sensor de Pixel Passivo	42
Figura 2.12–Sensor de Pixel Ativo com três transistores	43
Figura 2.13–Sensor de Pixel Ativo com quatro transistores	44
Figura 2.14–Sensor de Pixel Ativo com cinco transistores	45
Figura 2.15–CIS Logarítmico convencional	47
Figura 2.16–Anomalias introduzidas pelo FPN	49
Figura 2.17–SNR mínima detectável	51
Figura 2.18–Distribuição normal de tensões de limiar	53
Figura 2.19–Duas curvas normais mostrando a média μ e o desvio padrão σ	55
Figura 2.20–Histograma de uma distribuição normal	56
Figura 3.1 – Correlated Double Sampling (CDS)	58
Figura 3.2 – Delta-Reset Sampling (DRS)	59
Figura 4.1 – Topologias de sensores de pixel ativo investigadas	64
Figura 4.2 – Ciclo de operação das topologias de pixel empregadas neste trabalho	65
Figura 4.3 – Critérios de Comparação entre Pixeis.	67
Figura 4.4 – Pontuações por intervalos de percentagem	69
Figura 4.5 – Modelo de comparação entre pixeis detalhado por etapas	71
Figura 5.1 – Valor médio de tensão de saída por fotocorrente dos sensores de Pixel Ativo em modo logarítmico	74
Figura 5.2 – FPN total e residual dos Sensores de Pixel Ativo em modo logarítmico	76
Figura 5.3 – Histograma do número de pixeis por intensidade de escala de cinza dos Sensores de Pixel ativo em modo logarítmico	78
Figura 5.4 – Valor de SDR para Sensores de Pixel ativo em modo logarítmico	80
Figura 5.5 – Valor médio de corrente consumida por fotocorrente das topologias de Sensor de Pixel Ativo	82

Figura 5.6 – Valor médio de potência consumida por fotocorrente das topologias de Sensor de Pixel Ativo	82
Figura 5.7 – Leiaute APS4T	84
Figura 5.8 – Leiaute APS5T	85
Figura 6.1 – Etapas da pesquisa a serem realizadas futuramente.	91

Lista de tabelas

Tabela 2.1 – Relações e Características	36
Tabela 2.2 – Comparação entre modos linear e logarítmico	48
Tabela 4.1 – Dimensões dos transistores.	63
Tabela 4.2 – Premissas de julgamento de critérios	67
Tabela 4.3 – Tabela para cálculo da diferença entre topologias em percentagem tendo APSBB_2 como referência	68
Tabela 4.4 – Tabela de Pontuações por intervalos de percentagem	69
Tabela 4.5 – Tabela do resultado da soma de pontuações	69
Tabela 5.1 – Fator de Preenchimento dos APS4T e 5T	86
Tabela 5.2 – Comparação de Resultados entre topologias de pixeis	86
Tabela 5.3 – Diferença entre topologias em percentagem tendo APS5T_O2 como referência	86
Tabela 5.4 – Resultado da soma de pontuações	87

Lista de abreviaturas e siglas

APS	Active Pixel Sensor
BSIM	Berkeley Short-channel IGFET Model
CCD	Charge-Coupled Device
CDS	Correlated Double Sampling
CIS	CMOS Image Sensor
CMOS	Complementary Metal–Oxide–Semiconductor
FD	Floating Diffusion
DPS	Digital Pixel Sensor
DR	Dynamic Range
DRS	Delta Reset Sampling
DSNU	Dark Signal Non-Uniformity
FPN	Fixed-Pattern Noise
MOS	Metal–Oxide–Semiconductor
MTF	Modulation Transfer Function
NMOS	N-type (negative-type) Metal–Oxide–Semiconductor
PPD	Pinned Photodiode
PIXEL	Picture “pix” element “el”
PMOS	P-type (positive-type) Metal–Oxide–Semiconductor
PPS	Passive Pixel Sensor
PRNU	Photo Response Non-Uniformity
QE	Quantum Efficiency
SDR	Signal-to-Distortion Ratio
SPICE	Simulated Program with Integrated Circuits Emphasis

SNDR	Signal-to-Noise-and-Distortion Ratio
VLSI	Very-Large-Scale Integrated
VTH	Tensão de limiar do transistor MOS
WDR	Wide Dynamic Range

Sumário

1	INTRODUÇÃO	23
1.1	Formulação do Problema	24
1.2	Justificativa	24
1.3	Contribuições	24
1.4	Objetivos e desafios da pesquisa	25
1.4.1	Objetivo Geral	25
1.4.2	Objetivos Específicos	25
1.5	Universo da Pesquisa	25
1.6	Limitações da Pesquisa	26
1.7	Organização do Trabalho	26
2	FUNDAMENTAÇÃO TEÓRICA	27
2.1	Transistor CMOS	27
2.2	Descasamento entre transistores MOS	28
2.3	Sensor de Imagem CMOS	29
2.4	Histórico	31
2.5	A Escala de Cinza	33
2.6	Características Fundamentais	33
2.6.1	Fotodeteção	33
2.6.2	Fator de Preenchimento	34
2.6.3	Eficiência Quântica – QE	36
2.6.4	Alcance Dinâmico	38
2.6.5	Consumo de Energia	38
2.6.6	Sensibilidade	39
2.6.7	Resolução	39
2.6.8	Rótulo de uma tecnologia CMOS	40
2.7	Estruturas de Pixel Básicas	41
2.7.1	Sensor de Pixel Passivo – PPS	42
2.7.2	Sensor de Pixel Ativo – APS	42
2.7.2.1	APS 3T – APS com Três Transistores	43
2.7.2.2	APS 4T – APS com Quatro Transistores	43
2.7.2.3	APS 5T – APS com Cinco Transistores	44
2.7.3	Sensor de Pixel Digital – DPS	45
2.8	Modos de Funcionamento	45
2.8.1	Modo Linear - LIN	45

2.8.2	Modo Logarítmico - LOG	46
2.8.3	Modo Linear-Logarítmico - LINLOG	47
2.9	Ruído	48
2.9.1	Ruído Térmico	49
2.9.2	Ruído de Padrão Fixo	49
2.9.3	Razão de Sinal-Ruído e Distorção	50
2.10	SPICE	51
2.11	BSIM	52
2.11.1	Tensão de Limiar	53
2.11.2	Parâmetro de Efeito de Corpo ou Sensibilidade do Substrato	53
2.12	Análise estatística e probabilística	54
2.12.1	Média	54
2.12.2	Desvio Padrão	54
2.12.3	Distribuição Normal	55
2.12.4	Histograma	55
2.12.5	Método de Monte Carlo	56
3	REVISÃO DE LITERATURA	57
3.1	Técnicas de Redução de FPN	57
3.1.1	Compensação de FPN externa ao Chip	57
3.1.1.1	A Técnica CDS	58
3.1.2	Compensação de FPN interna ao Chip	60
3.2	O padrão EMVA1288 - Versão 3.1	60
3.3	ISO 15739:2013	61
4	MÉTODO DE COMPARAÇÃO ENTRE TOPOLOGIAS DE PIXEIS	63
4.1	Topologias Investigadas	63
4.2	Configuração de Simulações	66
4.3	Critérios de Comparação	66
4.4	Modelo para escolha de topologias	68
5	RESULTADOS E DISCUSSÃO	73
5.1	Excursão do sinal de saída	73
5.2	FPN Total e Residual	75
5.2.1	Análise de FPN através de Histogramas	77
5.3	Razão Sinal-Distorção (SDR)	79
5.4	Consumo de Energia	81
5.5	Fator de Preenchimento	83
5.6	Discussão	86

6	CONCLUSÃO	89
6.1	Principais Contribuições	90
6.2	Trabalhos Futuros	90
	REFERÊNCIAS	93

1 Introdução

O mercado de sensores de imagem possui seu crescimento atrelado à crescente demanda em aplicações de imagem como aparelhos celulares, câmeras de vídeo, vídeo conferência, vigilância e biometria. Além disso, avanços recentes no projeto de sensores de imagem em Semicondutor de Metal-Óxido Complementar, do inglês *complementary metal-oxide-semiconductor* (CMOS), e a habilidade de integrar circuitos de processamento analógico e/ou digitais junto ao pixel tem impulsionado a maior expansão em produtos de alto volume, tais como câmeras de computadores pessoais, mouses ópticos, interface de máquinas, visão computacional, entre outras aplicações [1].

Descasamentos são a diferenças no comportamento de dispositivos causadas por variações físicas nas etapas do processo de fabricação dos circuitos integrados em dispositivos e interconexões. A presença destas diferenças ao longo de matrizes de sensores de imagem causam variação de saída pixel-a-pixel sob iluminação uniforme, isto é, quando a mesma intensidade de luminosidade é proporcionada para cada pixel individualmente. Estas não idealidades conhecidas como FPN, são introduzidas aleatoriamente durante o processo de fabricação. Efeitos que comprometem a qualidade da imagem acentuam-se em sensores de imagem operando em largo alcance dinâmico, do inglês *wide dynamic-range* (WDR), em modo logarítmico [2]. Este modo de operação será melhor descrito na seção 2.8.2. O FPN está dentre os principais destes efeitos e portanto requer tratamento para redução. Na literatura, é possível encontrar meios para realizar este tratamento [1–12] e a escolha de qual método aplicar é importante durante o projeto de sensor de imagem.

Deste modo, comparações são usualmente feitas entre matrizes projetadas com diferentes dimensões, diferentes distâncias entre pixels, e fabricadas em diferentes tecnologias [10–14] a fim de gerar informação que sirva de base para aplicações em projetos. No entanto, informações como a do montante de FPN total, que é o FPN antes da aplicação de qualquer técnica de redução, é raramente disponibilizada em resultados publicados [9–11]. A ausência desta parte da informação não permite saber quanto de FPN total foi realmente atenuado por uma técnica específica. Tais meios de apresentar comparação não permitem a determinação de qual técnica é a melhor escolha para o projeto de um sensor específico.

Este trabalho propõe um método comparativo baseado nos resultados obtidos por pixels projetados em diferentes topologias, porém com mesmas dimensões e mesma tecnologia de fabricação.

1.1 Formulação do Problema

Métodos que forneçam informações confiáveis e imparciais sobre técnicas de redução de FPN aplicadas a diferentes topologias de pixel logarítmico são importantes para tomada de decisão em projetos. Estas decisões, na concepção e desenvolvimento de circuitos, impactam na correta escolha de cada técnica em relação ao desempenho final requerido ao projeto. No entanto, a literatura aplicada a sensores de imagem não apresenta métodos adequados capazes de conduzir projetistas em suas decisões, principalmente em sensores de imagem em modo logarítmico.

Desta forma, o exercício de projetar sensores de imagem não possui uma base razoavelmente sustentável capaz de prover informações importantes e prévias à tomada de decisão sobre o direcionamento do projeto, tais como: modo de operação do sensor, técnica a ser utilizada para a redução de FPN, possível comportamento quanto a razão de distorção do sinal, excursão de sinal de saída, consumo de energia e, o fator de preenchimento empregado.

1.2 Justificativa

Não há estudos com o objetivo de analisar diferenças entre pixels sob características comuns na literatura atual. Tais estudos são necessários para que comparações entre tecnologias, projetos e estruturas possam ser hábil e inequivocadamente comparadas buscando maior velocidade de projeto e compatibilidade com as aplicações em que são empregadas.

O padrão EMVA1288, detalhado em 3.2, é uma iniciativa para definir um método unificado para medir, calcular e apresentar parâmetros de especificação para câmeras e sensores de imagem em modo linear de operação. Porém, não há padrões semelhantes aplicáveis a sensores em modo logarítmico de operação. Daí a proposta deste trabalho objetivando preencher esta lacuna.

1.3 Contribuições

Diferenças intrínsecas entre dispositivos e interconexões são mais críticas em projetos que utilizam dispositivos com dimensões reduzidas, e portanto, matrizes que utilizam pixels projetados com tamanho reduzido são mais propensas a apresentar alto FPN do que aquelas que utilizam pixels com tamanho maior [15]. Isto é devido, principalmente, à maior dificuldade de controlar variáveis de processo em escalas cada vez menores.

Não é razoável julgar a eficácia de uma técnica de redução de FPN em relação a outras sem considerar características intrínsecas responsáveis por variações nas respostas

de sensores de imagem, tais como as sob investigação descritas detalhadamente em 4.1.

O uso do método proposto neste trabalho busca contribuir para a escolha mais apropriada de determinada topologia baseando-se em suas características e desempenho de modo a potencializar o projeto de sensores de imagem. Assim, o projeto de sensores de imagem em modo logarítmico poderá usar como referência as informações geradas com base nos critérios apresentados, principalmente para novas propostas de topologias no avanço do estado-da-arte.

1.4 Objetivos e desafios da pesquisa

1.4.1 Objetivo Geral

Propor uma metodologia, abrangendo pixels logarítmicos para sensores de imagem com largo alcance dinâmico, que permita uma comparação adequada entre diferentes técnicas de redução de FPN aplicadas a diferentes topologias de pixel e sob o mesmo rótulo tecnológico.

1.4.2 Objetivos Específicos

- Identificar o estado-da-arte de técnicas de redução de FPN através de revisão sistemática;
- Compreender os métodos aplicados nas diferentes técnicas de redução de FPN;
- Implementar topologias de pixel adicionais com o cruzamento de características destas técnicas;
- Submeter as topologias de pixel a simulações de Monte Carlo sob mesmo ambiente de variação de parâmetros de descasamento;
- Comparar desempenho de topologias com base nos resultados de simulações;
- Identificar melhores técnicas e topologias a serem empregadas no projeto de sensor de imagens de largo alcance dinâmico.

1.5 Universo da Pesquisa

A pesquisa teve por seu universo o conjunto de publicações do *IEEE - Institute of Electrical and Electronics Engineers* no período do ano de 2000 a 2015, com filtro de assuntos ativo para CMOS e FPN. Adicionalmente fez-se uso de teses de doutorado de assunto de mesma natureza entre outras fontes correlatas.

1.6 Limitações da Pesquisa

As simulações de Monte Carlo foram limitadas a 250 execuções para cada topologia de pixel. Na literatura, não há um valor padrão adotado para o número de simulações, contudo os dados obtidos possuem alto grau de confiança, uma vez que os dados de descasamento foram gerados aleatoriamente em características comuns aos transistores utilizados em tais topologias.

1.7 Organização do Trabalho

Este trabalho está organizado em seis capítulos nomeados como Introdução, Fundamentação Teórica, Revisão de Literatura, Método de comparação entre Topologias de Pixeis, Resultados e Discussão, além de Conclusão.

O conteúdo introdutivo ao tema e conceitos envolvidos no trabalho, bem como a formulação do problema a fim de nortear a necessidade da pesquisa, justificativa e objetivos relativos à orientação para a solução do problema anteriormente exposto, são mostrados no Capítulo 1 visando situar o assunto principal.

Com o intuito de prover fundamentação na teoria dos principais conceitos imbuídos no contexto deste trabalho, o Capítulo 2 introduz aspectos importantes para o entendimento do trabalho como um todo.

A revisão de literatura, no Capítulo 3 expõe aspectos relevantes disponíveis no estado-da-arte. Neste ponto as técnicas e padrões existentes são expostos ampliando a visão do horizonte a ser investigado.

A partir da montagem deste cenário, as topologias, critérios de comparação e configurações empregadas nas simulações são mostradas no Capítulo 4, Método de Comparação entre Topologias de Pixeis.

Aplicando os critérios de comparação mencionados anteriormente, o Capítulo 5 evoca os resultados obtidos nas simulações realizadas como pretexto para a discussão dos mesmos. Aqui, a fusão dos conceitos previamente compartilhados e os resultados adquiridos pelas simulações, culminam na efetividade do método proposto como solução às necessidades apresentadas no escopo da pesquisa

Por fim, a conclusão, no Capítulo 6, expõe as principais contribuições originadas pelo trabalho, bem como a continuação da linha de pesquisa através da realização de trabalhos futuros.

2 Fundamentação Teórica

2.1 Transistor CMOS

Uma estrutura MOS, do inglês *metal-oxide-semiconductor*, é constituída de várias camadas empilhadas de materiais com características condutoras ou isolantes. Esta estrutura é feita através de uma sucessão de processos envolvendo a oxidação do silício, introdução seletiva de dopantes, e a deposição e formação de fios de metal e contatos. Tais transistores são construídos de silício monocristalino com baixo nível de imperfeições e dispostos em lâminas de 15 a 30cm de diâmetro [16].

O transistor MOS é um dispositivo baseado em portadores que fluem através de corrente entre fonte e dreno através de um canal. Esta corrente é controlada pela aplicação de tensão no terminal nomeado porta. Este terminal possui um contato que pode ser feito de metal, polisilício, entre outros e; um óxido isolante com função também dielétrica. A sílica, SiO_2 , é um óxido de porta tradicional que apresenta como principal vantagem a capacidade de crescimento térmico sob o substrato de silício. Muitos outros diferentes materiais tem sido propostos como opção à substituição da sílica como óxido. Como exemplo, pode-se citar o óxido de Háfnio, HfO_2 , e seus variantes devido à características como sua compatibilidade com o silício [17]. Os transistores nMOS e pMOS diferem-se por seus respectivos portadores que atravessam o canal, elétrons e lacunas. A operação do transistor é controlada por campo elétrico, assim estes dispositivos são também nomeados MOSFETs, do inglês *metal oxide semiconductor field effect transistors*. A Figura 2.1 mostra um corte transversal e símbolos usados para estes dispositivos. As regiões n+ e p+ representam regiões n e p fortemente dopadas, respectivamente [16].

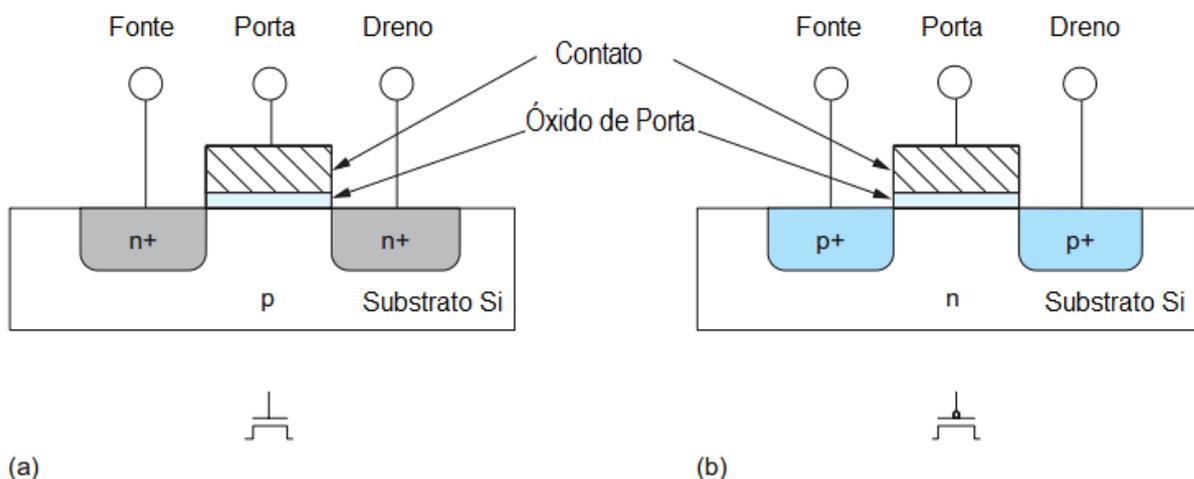


Figura 2.1 – Transistor nMOS (a) e transistor pMOS (b) [16].

A tecnologia CMOS permite o uso de transistores nMOS e pMOS tal que um complementa o outro no mesmo chip, como na produção de funções lógicas. Esta tecnologia é a mais popular utilizada no dias atuais no projeto de circuitos integrados. Na Figura 2.2 temos que o transistor nMOS é implementado sobre um substrato tipo p e o transistor pMOS, sobre uma região criada e denominada poço n . Estes dois dispositivos são isolados um do outro por uma fina região de óxido.

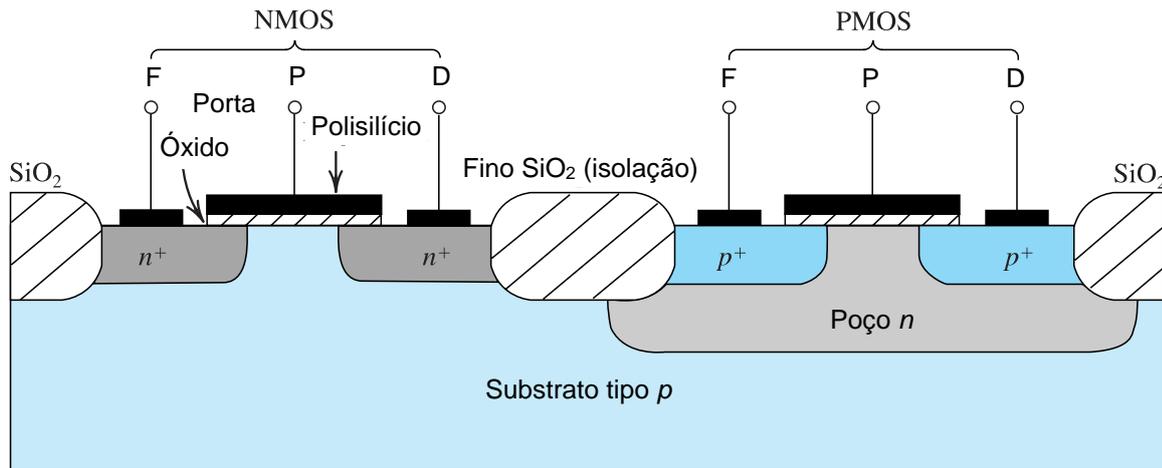


Figura 2.2 – Corte transversal de um circuito integrado CMOS [18].

A tecnologia CMOS atua de modo dominante na maioria das áreas de projetos de integração em escala muito alta, do inglês *very-large-scale integration* (VLSI) [15].

2.2 Descasamento entre transistores MOS

As estruturas de circuitos eletrônicos sejam analógicos ou digitais, pressupõem fortemente a similaridade de comportamento, descrito como casamento, entre os dispositivos projetados e fabricados de maneira análoga. De maneira geral e simplista, dispositivos fabricados similarmente, simultaneamente e sob o mesmo processo, deveriam apresentar comportamento elétrico idêntico. Porém, a presença de flutuações e variações físicas fora de controle nas etapas do processo de fabricação dos circuitos integrados, adicionam grau de diferença comportamental aos dispositivos fabricados chamado *descasamento* [19].

As variações físicas podem ocorrer entre dispositivos em uma mesma pastilha (*intradie*), principal estratégia para atenuar possíveis variações, ou diferentes (*interdie*), neste caso ainda podem ocorrer entre dispositivos numa mesma lâmina (*intra wafer*), num mesmo lote de fabricação (*intra batch*) ou em lotes diferentes (*inter batch*). Assim, quanto maior o domínio verificado, maior a amplitude de variações.

Como principais fontes de variações físicas em lâminas fabricadas em tecnologia MOS podemos citar:

- Flutuações:
 - Na concentração e perfil de dopantes no substrato e em camadas eletricamente ativas;
 - Na espessura e qualidade das camadas crescidas ou depositadas sobre o substrato;
 - Na qualidade do contato elétrico entre diferentes camadas condutoras;
 - No aprisionamento de cargas elétricas no interior do óxido ou em sua interface com o substrato;
- Imperfeições, como rugosidade, nas bordas das formas geométricas das camadas depositadas, além de variações dimensionais em suas laterais;
- Tensões mecânicas presentes na superfície do substrato de maneira permanente;
- Formação de aglomerados dopantes no poli-silício (*segregação*).

Com base na influência nos dispositivos fabricados, pode-se classificar os fatores que provocam variações como:

- Estocásticos: Quando flutuações provocadas possuem aspecto local ou microscópico, onde variações nas propriedades físicas são inferiores às dimensões dos transistores;
- Sistemáticos: Quando flutuações ou deformações espaciais provocadas possuem aspecto global ou sistemático, onde as variações físicas em componentes ou etapas do processo de fabricação são superiores às dimensões físicas dos transistores. Estes fatores podem provocar gradientes nas propriedades físicas ao longo da pastilha, lâmina ou lote, incidindo em efeitos químicos e físicos incontrolláveis, tais como: anomalias nas lentes e distorções nas máscaras de fotolitografia, dilatação térmica nos equipamentos, mudanças nas concentrações de substâncias (nas etapas de corrosão, deposição ou dopagem), não linearidades no equipamento de implante de íons e térmicas em geral.

2.3 Sensor de Imagem CMOS

Um sensor de imagem essencialmente converte um sinal luminoso composto por fótons que incidem sobre a área do pixel durante o tempo de integração. Isto ocorre através de uma sequência de fases, primordialmente desde a detecção da luz, a acumulação do sinal foto-gerado, o chaveamento desta acumulação para leitura na saída e digitalização [20,21], como mostra a Figura 2.3.

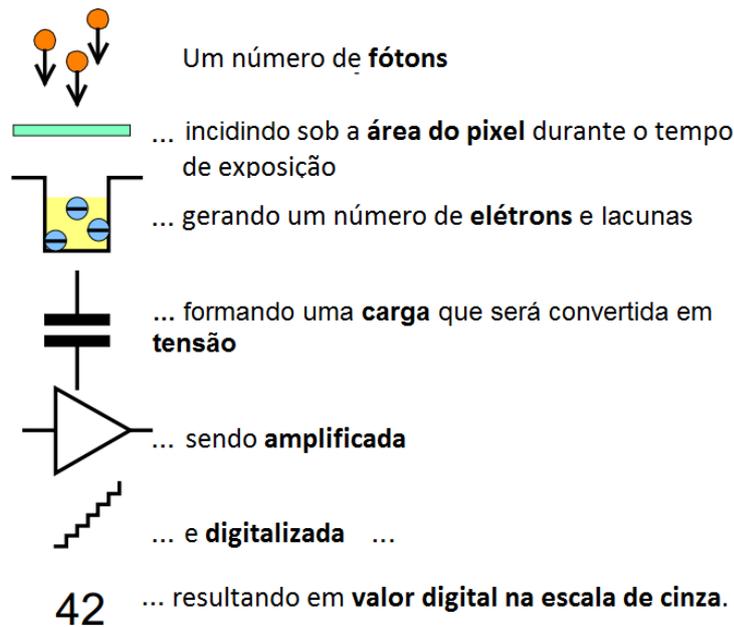


Figura 2.3 – Modelo físico do Sensor Pixel [20].

Este sensor é uma matriz de pequenas células fotossensíveis chamadas sensores de pixels. Desta forma, o sensor de pixel é a menor célula de um sensor de imagem, capaz de detectar um ponto singular da imagem. Este ponto é então usado para reconstruir um quadro completo de imagem juntamente com os demais pontos da matriz [2].

O sensor de imagem CMOS, do inglês *CMOS image sensor* (CIS), proporcionou elevado progresso baseado no incremento de desempenho e na demanda comercial após sua inclusão em telefones celulares [22]. Características como baixo consumo, baixo custo, e fácil integração com outros circuitos de processamento de imagem constituem-se como algumas das várias vantagens do sensor de imagem CMOS [23]. A tecnologia CIS apresenta o conceito de câmera em um chip, com a integração entre uma matriz fotossensível e os circuitos necessários ao processamento de sinais em um único chip de silício [24].

Com o uso do sistema de lentes, a imagem da cena é focada no sensor, composto por uma matriz bidimensional de pixels que converte a luminosidade incidente na superfície do sensor em sinais elétricos. Esta conversão é realizada por fotodetectores presentes em cada pixel com base em suas respectivas fotocorrentes [1]. Os sinais elétricos podem ser representados por corrente ou tensão que expressam a intensidade da iluminação dentro de determinada faixa na escala de cinza de determinado quadro da imagem [2]. A aplicação de correntes como sinais de saída ao invés de tensões possibilitam uma grande simplificação na integração do processamento de sinal num mesmo chip [24].

Linhas de interconexão, verticais e horizontais, constituem barramentos por onde sinais eletrônicos de controle e resposta do fotossensor são transportados internamente ao pixel ou para a área externa deste [2]. Tendo como exemplo o circuito APS apresentado com maiores detalhes no item 2.7.2, o ciclo de operação do sensor de imagem pode ser

dividido resumidamente em duas partes diferentes: tempo de *reset*, tempo de integração e, um instante de amostragem, que ocorre num momento dentro do tempo de integração [2]. Este ciclo de operação é demonstrado na Figura 2.4.

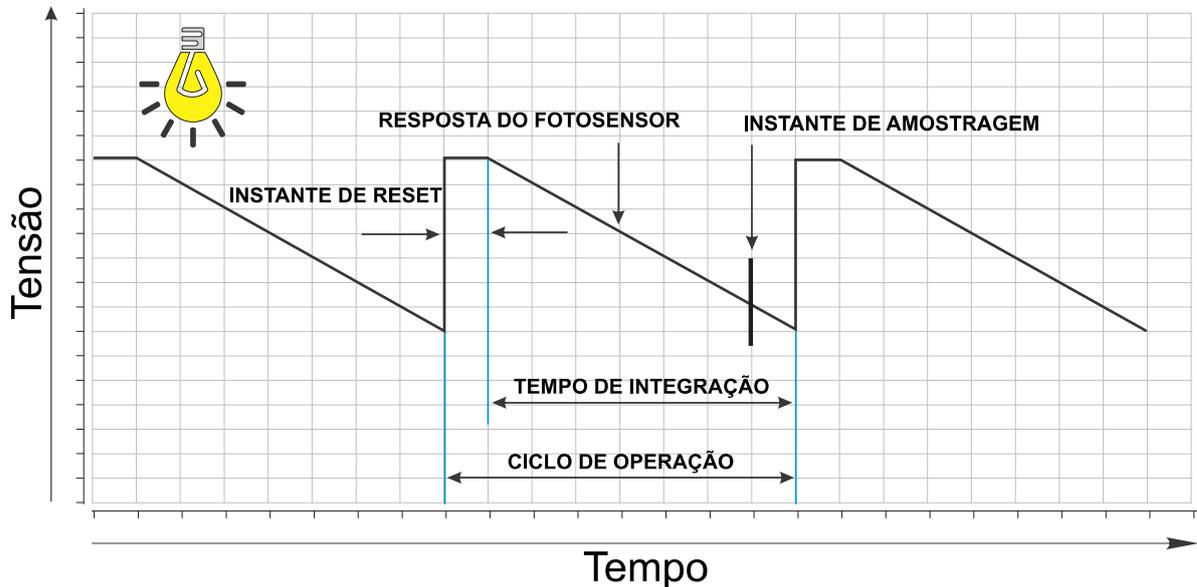


Figura 2.4 – Ciclo de operação do Sensor Pixel [2].

O tempo de *reset* representa o período de tempo em que o fotossensor tem seu estado inicial restabelecido. Isto ocorre no início de cada ciclo de operação. O tempo de integração representa o período em que o fotossensor detecta a intensidade da luz que atinge o pixel. Este tempo é assim denominado devido às cargas comportarem-se de modo aproximadamente linear e proporcional à tensão de saída. O instante de amostragem, realizado pouco antes do fim do tempo de integração, representa o momento na linha de tempo em que a resposta do fotossensor é amostrada e registrada [2].

2.4 Histórico

Transistores podem ser definidos como chaves com um terminal de controle e outros terminais que dependendo da tensão ou corrente aplicadas para controle, podem ser conectados ou desconectados [16]. Foi primeiramente denominado como transistor em 1947 por John Bardeen e Walter Brattain com a construção do primeiro transistor de ponto de contato nos Laboratórios Bell. Esta denominação teve origem devido ao transistor ser um dispositivo semiconductor capaz de amplificar sinais elétricos à medida que são transferidos de um terminal de entrada para um de saída [25].

O histórico do transistor MOS aplicados a sensores de imagem teve seu início com os sensores de imagem de estado sólido substitutos dos tubos de imagem. Em seguida, G. P. Weckler na Fairchild Semiconductor foi pioneiro na proposta do modo de acumulação num

fotodiodo, função importante para sensores de imagem CMOS, através da fonte flutuante de um MOSFET atuando como fotodiodo. Posteriormente, Weckler fabricou e demonstrou um sensor de imagem de 100x100 pixels utilizando esta estrutura e dando início a uma série de propostas de sensores de imagem de estado sólido.

P. J. Noble na Plessey, desenvolveu o sensor de pixel passivo, do inglês *passive pixel sensor* (PPS), constituído de um fotodiodo e um transistor MOS como chave. Noble também discutiu sobre a possibilidade de integração de circuitos lógicos para reconhecimento de padrões num chip o que talvez seja a primeira suposição sobre sensores de imagem CMOS inteligentes.

O dispositivo de carga acoplada, do inglês *charge-coupled device* (CCD), surgiram em 1969 logo após a publicação de detalhes sobre os sensores de imagem de estado sólido na *IEEE Transaction on Electron Devices* através de Willard Sterling Boyle e George Elwood Smith na AT&T Bell Laboratories [26]. Através deste invento Boyle e Smith receberam o Prêmio Nobel em Física no ano de 2009 [27]. Este ponto gerou discussão sobre o real crédito sobre a invenção do CCD como dispositivo de imagem a Michael Francis Tompsett [28], uma vez que o invento de Boyle e Smith fora direcionado para tecnologias de memórias.

Os primeiros sensores de imagem MOS surgiram nos anos 80 desenvolvidos por Hitachi e Matsushita, como resultado dos esforços de pesquisa, ao tempo que os sensores CCD eram usados e fabricados largamente devido à qualidade de imagem superior a dos sensores MOS.

Na sequência, foram feitos esforços para melhorar a razão sinal-ruído, do inglês *signal-to-noise ratio* (SNR), através da incorporação do mecanismo de amplificação no pixel dentre os quais o sensor de pixel ativo, do inglês *active pixel sensor* (APS) inventado por Eric Fossum [29] que liderava um time que pesquisava meios de potencializar melhorias em CIS com o propósito de produzir câmeras miniaturizadas em espaçonaves interplanetárias.

O APS-3T, com três transistores e um fotodiodo, são bastante usados atualmente, porém no primeiro estágio de desenvolvimento a qualidade de imagem não competia com a qualidade dos sensores CCD, tanto por conta do FPN como por conta de outros ruídos aleatórios. A seguir, foi proposto o APS-4T, com quatro transistores, um fotodiodo embutido (PPD) e uma difusão flutuante (FD). Desta vez, o APS-4T pôde competir com a qualidade de imagem do sensor CCD. Além disso, o desenvolvimento dos sensores de imagem foi beneficiada pelos avanços da tecnologia de fabricação CMOS [21].

Outras estruturas continuam a serem propostas no avanço tecnológico contínuo dos sensores de imagem CMOS. A Figura 2.5 demonstra a evolução dos sensores de imagem ao longo do tempo.

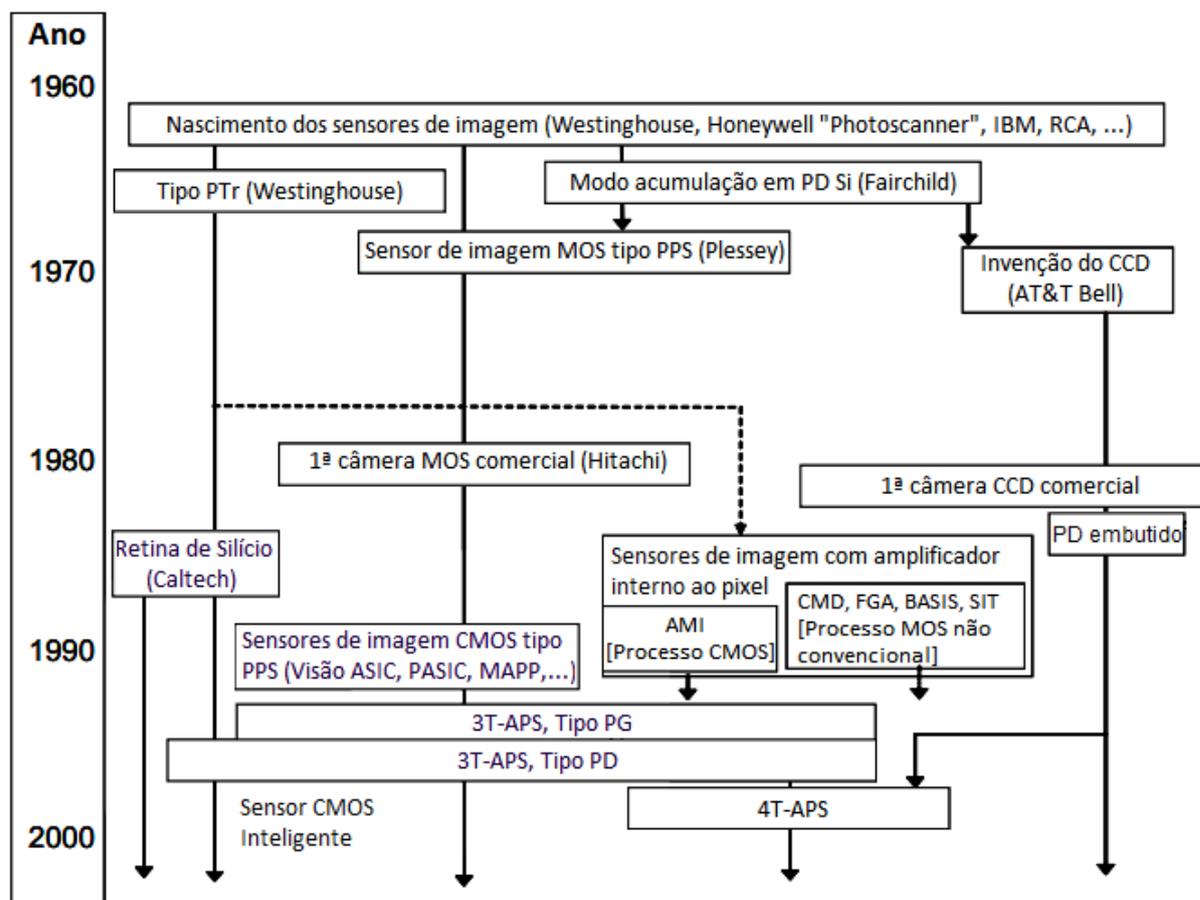


Figura 2.5 – A evolução dos sensores de imagem MOS e aspectos relacionados [21].

2.5 A Escala de Cinza

Pode ser usada para potencializar o contraste de um dado intervalo de valores de pixels. É uma ferramenta valiosa para superar limitações do olho humano. Uma imagem mostrada a um observador humano não será melhorada com o uso de mais de 256 níveis [30].

A representação de uma imagem é definida através de uma escala onde "0" corresponde ao preto e "255" ao branco, e os demais valores intermediários são tonalidades de cinza [30].

2.6 Características Fundamentais

2.6.1 Fotodetecção

A fotodetecção é feita por dispositivos fotodetectores responsáveis pela detecção da intensidade de luz que atinge uma determinada posição no sensor de imagem. Assim, a fotocorrente depende de fatores como o número de fótons que atinge a região de depleção em uma dada intensidade de luz [2]. Este processo de transdução também depende de

fatores como o ganho do sistema óptico do sensor e dos processos de fabricação.

Um dos tipos mais populares de fotodetector usado em sensores de imagem é o fotodiodo de junção pn reversamente polarizado. A quantia de fotocorrente gerada internamente ao fotodiodo sofre influência de propriedades do material de fabricação do sensor, tais como largura de banda, eficiência quântica, concentração de dopantes, profundidade da junção, temperatura, etc, e também do comprimento de onda da radiação incidente [2].

Uma importante característica de um fotodetector é a corrente de fuga ou corrente de escuro que é prejudicial ao desempenho de imagem sob baixa luminosidade e caracterizada por uma corrente presente no fotodetector quando não há iluminação. Esta corrente provém de diversas fontes como difusão em parte neutra do substrato e gerações térmicas oriundas de portadores, da região de depleção, de estados na superfície da interface silício-dióxido de silício, e de armadilhas na interface do perímetro do diodo causadas por defeitos [1].

2.6.2 Fator de Preenchimento

Do termo em inglês *Fill Factor* (FF), corresponde à porção de área sensível à luz ocupada pelo fotodiodo, isto é, porção que efetivamente contribui para o sinal de luz a ser detectado, em relação à área total do pixel [1], dado que uma porção da área do pixel é sempre ocupada por dispositivos e interconexões. Um alto fator de preenchimento é almejado num sensor de imagem, porém o sinal de saída sofre redução facilmente [21, 32]. Existe uma relação inversa entre o fator de preenchimento e a quantidade de transistores para as tecnologias que utilizam iluminação frontal. Estes pixels que requerem mais transistores, resultam numa menor área fotossensível em comparação a pixels com as mesmas dimensões e, em uma dada tecnologia, que empregam a retro-iluminação, com isso o FPN associado ao fotodiodo é diretamente afetado.

Baixo fator de preenchimento tornam a imagem mais susceptível a anomalias parasitas como pontos, linhas e outras formas. Além disso, o aumento do número de transistores num pixel também pode aumentar negativamente o patamar de ruído do sensor que representa uma característica relevante para aplicações com baixa iluminação [31].

Priorizar área sensível à luz impacta diretamente na sensibilidade e razão sinal-ruído. Enquanto que, uma maior quantidade de transistores pode permitir funcionalidades adicionais capazes de realçar a imagem [33].

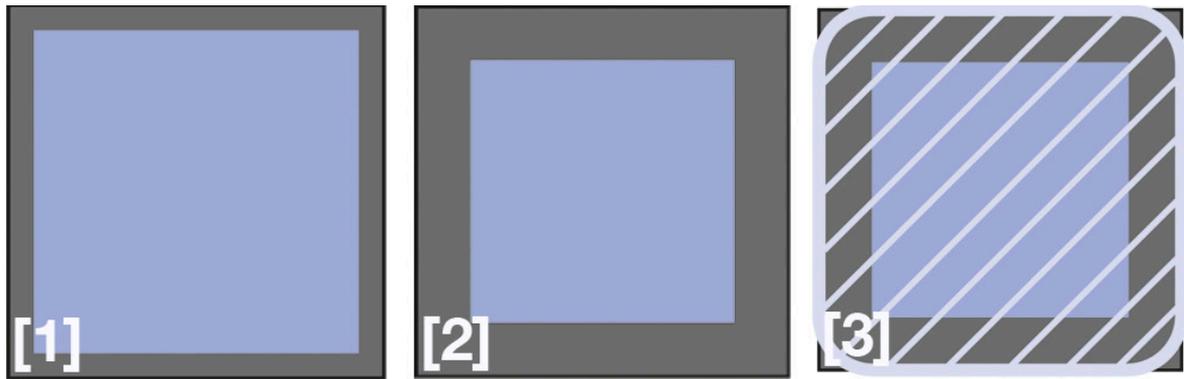


Figura 2.6 – Pixels com diferentes fatores de preenchimento (área azul corresponde à área sensível à luz): [1] 75%, [2] 50% e [3] 50 % com microlentes adicionais em cima [32].

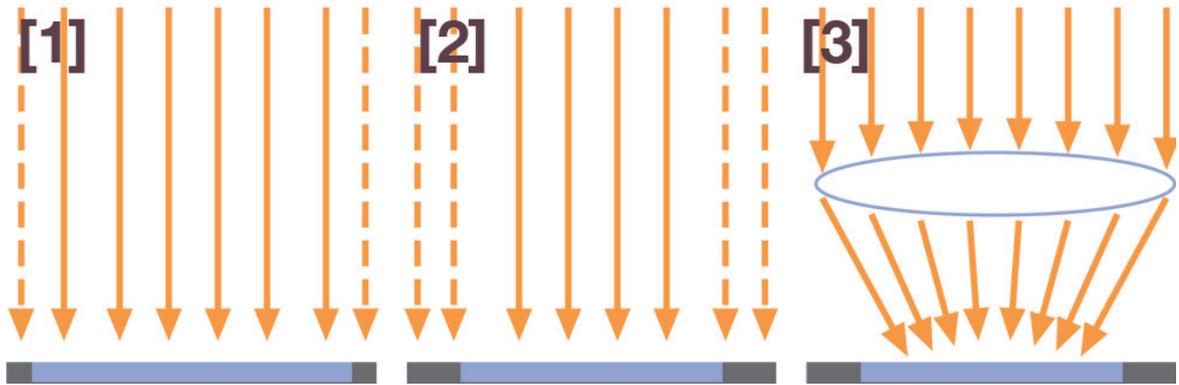


Figura 2.7 – Visão de corte transversal de pixels com diferentes fatores de preenchimento (área azul corresponde à área sensível à luz) e os raios de luz quem incidem com eles (setas laranjadas). Raios de luz tracejados representam que esta luz não contribui para o sinal: [1] 75%, [2] 50% e [3] 50 % com microlentes adicionais em cima [32].

As microlentes, ainda que reduzam o ângulo de aceitação de luz [33], contribuem na concentração de luz que incide no pixel, focando a luz para a área sensível à luz do pixel. Isto melhora o rendimento do fator de preenchimento de pixels, principalmente daqueles onde o fator é bastante reduzido [32, 34]

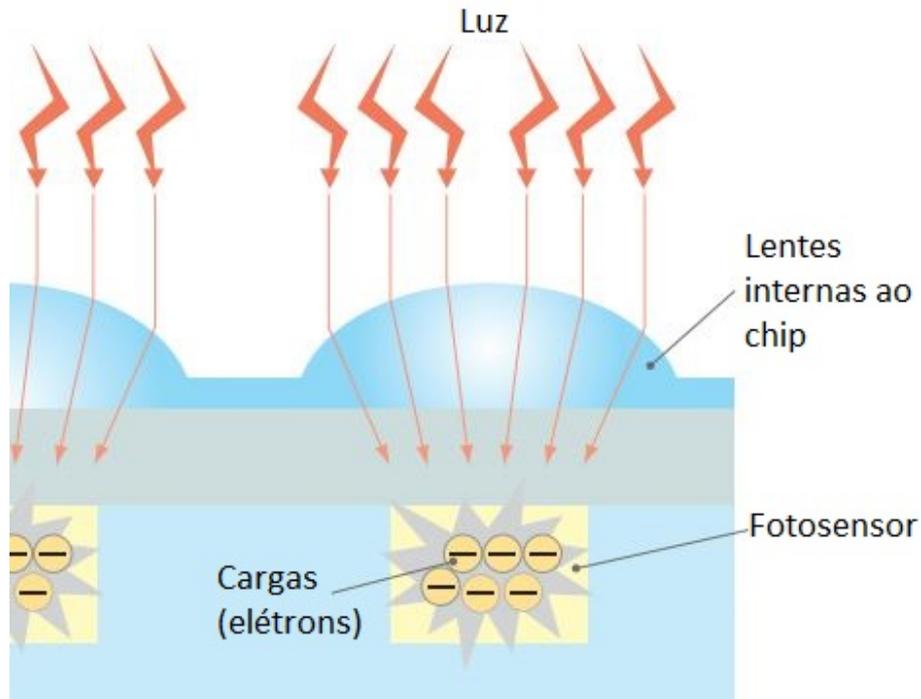


Figura 2.8 – Visão de corte transversal de microlente interna ao chip [34].

Assim, cada pixel possui pequenas microlentes produzidas como parte integrante do processo semicondutor e alinhadas sobre cada fotodiodo. Desta forma, cada fotodiodo recebe luz direcionada e convergida de suas microlentes como pode ser notado na Figura 2.8. Além disso, a redução de espaços entre as microlentes, principalmente através de processo de fabricação mais refinado, potencializa a sensibilidade para baixa luminosidade [34].

Tabela 2.1 – Relações e Características [32].

Fator de Preenchimento	Área Sensível à luz	Eficiência Quântica	Sinal
Alto	Ampla	Alta	Alto
Baixo	Reduzida	Baixa	Baixo
Baixo + Microlentes	Ampla área efetiva	Alta	Alto

2.6.3 Eficiência Quântica – QE

É fundamental para estipular a quantia de luz necessária para gerar um número digital no final de um processo de aquisição de imagem [35], isto é, descreve a eficiência no processo de conversão da energia dos fótons (f) em energia elétrica (e), com a simples relação e/f . Desta forma, durante o tempo de integração uma média de μ_p fótons incide sobre a área total de um único pixel e uma fração deles é absorvido e acumulam μ_e unidades de carga [20]. Não somente portadores gerados, mas coletados contribuem para

a eficiência quântica. Desta forma, a contribuição total das cargas deve ser medida nos terminais externos do dispositivo.

$$\eta(\lambda) = \frac{\mu_e}{\mu_p} \quad (2.1)$$

Notando-se que, se nenhum elétron for coletado nos terminais do dispositivo, obviamente a eficiência é zero, de modo semelhante, se cada fóton converte-se em um elétron, e este é coletado, a eficiência equivale-se a 100%. Um sensor com alta eficiência quântica é melhor para aplicações com baixa luminosidade devido a sua melhor eficiência de conversão. Normalmente, um sensor apresenta diferentes eficiências em diferentes frequências de luz, isto frequentemente é demonstrado em gráficos de eficiência quântica para comprimentos de onda diferentes [36] conforme pode ser notado na Figura 2.9.

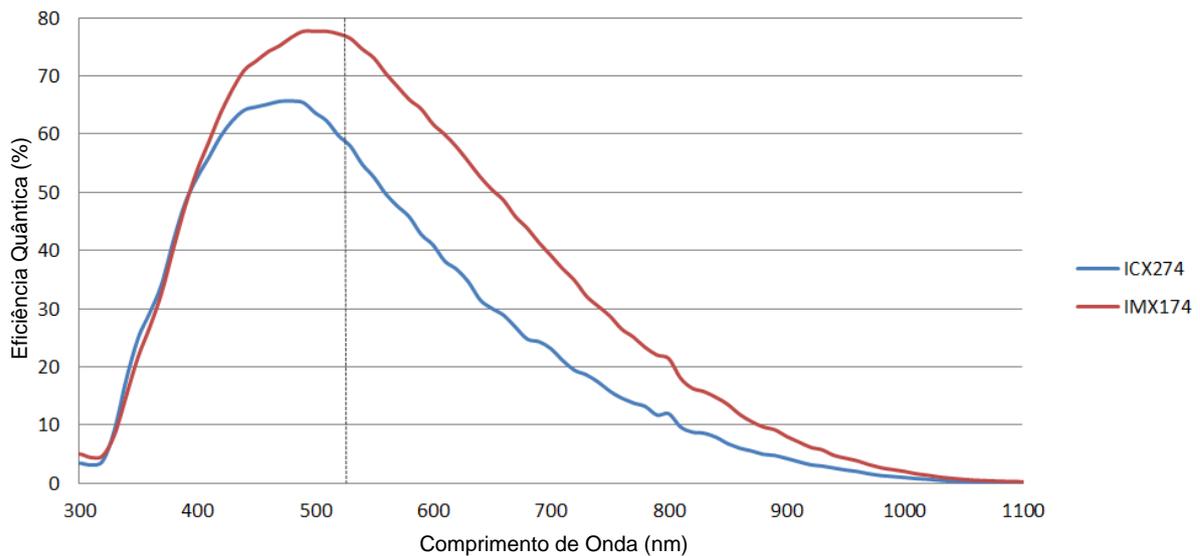


Figura 2.9 – Eficiência Quântica dos sensores Sony ICX274 (CCD) e IMX174 (CMOS) [37].

Nota-se através das curvas QE na Figura 2.9, que o sensor CMOS possui eficiência quântica igual ou melhor que o sensor CCD ao longo do espectro de luz. No comprimento de onda de 525nm, este sensor é 17% mais eficiente na conversão de fótons em elétrons. Assim, supondo que ambos sensores possuam mesmo tamanho de pixel e capacidade de saturação, o sensor CMOS exigiria 17% menos luz para atingir a mesma resposta do sensor CCD. Isto significa que menor iluminação é necessária para atingir o mesmo resultado [37].

De modo semelhante, o tamanho do pixel também pode sofrer modificações a fim de produzir respostas desejáveis uma vez que a eficiência quântica é influenciada pela área total ocupada por um elemento pixel e não somente à área sensível à luz. Daí, vale ressaltar o efeito do fator de preenchimento e das microlentes na composição desta eficiência.

2.6.4 Alcance Dinâmico

O alcance dinâmico, do inglês *dynamic range* (DR) corresponde à capacidade de acomodar na mesma imagem regiões de alta e baixa luminosidade. Define-se como a razão entre o nível máximo do sinal de saída e o patamar de ruído, do inglês *floor noise* numa mínima amplificação. Isto indica, por exemplo, que alguns sensores de imagem sob baixa iluminação podem ser usados num patamar de ruído baixo sob rápidas taxas de quadro.

O nível máximo do sinal de saída é diretamente proporcional ao número máximo de elétrons por pixel, do inglês *full well capacity* (FWC) constantemente associado à sensores CCD. Esta capacidade de carga num fotodiodo em sensores CMOS é a capacitância resultante na região de depleção. O uso desta capacidade de carga em nível máximo pode prover um amplo alcance dinâmico artificial uma vez que os pixel estará em saturação. Desta forma, projetistas especificam um nível útil desta capacidade, do inglês, *useful full well capacity* (UFWC), onde a resposta linear à luminosidade pode ser mantida. Portanto, quanto mais plenamente preenchido por elétrons for a capacidade do pixel, maior será o alcance dinâmico. Esta capacidade de carga sofre influência de fatores como arquitetura de pixel e estrutura das camadas. Este valor deve ser maior que 100 dB para aplicações automotivas, por exemplo. Sua melhora consiste em objeto de esforço em busca de avanços [21, 32, 33].

$$DR = 20 \cdot \log \left(\frac{V_{max}}{V_{min}} \right) = \left(\frac{\text{nível máximo do sinal de saída}}{\text{menor sinal detectável}} \right) [dB] \quad (2.2)$$

Na Equação 2.2, V_{max} representa o nível máximo do sinal de saída, capacidade de carga do pixel plenamente preenchida, e V_{min} o nível do menor sinal detectável, o ruído de leitura de saída, no escuro [21, 32].

2.6.5 Consumo de Energia

O consumo de energia é uma das mais relevantes características quanto ao desempenho de circuitos eletrônicos em suas mais diversas aplicações. Esta importância é essencial para a autonomia de equipamentos eletrônicos portáteis, por exemplo, que apresentam demanda cada vez maior por dispositivos capazes de suportar longo tempo de uso sem a necessidade de fontes externas de energia.

Desta forma, avanços no intuito de reduzir o consumo de energia trazem em seu bojo relevância fundamental no projeto de circuitos eletrônicos.

Tratando de dissipação de energia em circuitos CMOS, dois componentes descrevem sua composição, a saber [16]:

- Consumo dinâmico devido a:

- Carga e descarga de capacitâncias no chaveamento. Este fator depende fortemente da frequência, tensão e capacitância;
- Corrente de curto-circuito quando pilhas de pMOS e nMOS são parcialmente ligadas;
- Consumo estático devido a:
 - Vazamento sub-limiar através de transistores desligados;
 - Vazamento de porta através de seu dielétrico;
 - Vazamento de junção entre as difusões de fonte e dreno;

Ainda que consideremos que a energia gasta por um único transistor CMOS cada vez que chaveia, ou seja, muda de estado, seja pequena, o número acentuado de transistores chaveando em altas taxas de velocidade tem tornado o consumo de energia uma das principais considerações de projeto. Vale ressaltar que vazamentos de corrente aumentam à medida que o rótulo de tecnologia de fabricação diminui. Com a diminuição de tamanho dos transistores, forte tendência no decorrer dos anos, o estado de desligamento completo, isto é, nível 0 (zero), tem tornado-se inalcançável. Isto implica que há consumo de energia mesmo que o estado de tais transistores seja desligado.

Pequenas quantidades de corrente vazando através de cada transistor culminam num consumo de energia significativa quando multiplicado por milhões ou bilhões de transistores num chip [16].

2.6.6 Sensibilidade

Corresponde a uma medida crítica de desempenho do sensor de imagem, a habilidade de enxergar no escuro. Representa a capacidade do sensor de imagem de reagir a pequenas mudanças de intensidade de luz [2].

A luz que chega ao sensor de imagem, principalmente na área sensível à luz, é preciosa para que a sensibilidade seja a máxima possível. Assim, reduzidas áreas sensíveis à luz afetam diretamente na sensibilidade atribuída ao sensor. A Luz incidente em áreas não sensíveis à luz normalmente utilizadas pelos circuitos e interconexões não corresponde à sensibilidade adicional no sensor. Isto constitui um desafio aos projetistas de acomodar tais circuitos em mínimas áreas do sensor com o propósito de prover maior área sensível à luz [34].

2.6.7 Resolução

A resolução de um sistema de imagem representa a habilidade de distinguir detalhes do objeto, ou seja, o nível de detalhe de um objeto que uma imagem comporta.

Imagens com alta resolução são aquelas que exibem uma grande quantidade de detalhes e uma mínima distorção. Detalhes estes em baixa quantidade em imagens de baixa resolução.

Fatores como luminosidade, tamanho de pixel do sensor, ou mesmo a limitação do sistema de lentes influenciam diretamente na resolução de um sistema de imagem. Quanto menores os detalhes num objeto, maior a resolução requerida para visualizar estes detalhes [38].

A resolução sofre impacto direto de parâmetros geométricos do sensor de imagem e das lentes utilizadas, incluindo microlentes [32]. Assim, a resolução de um objeto depende de fatores como a resolução do sensor de imagem e a resolução do sistema óptico.

A resolução do sensor de imagem representa comumente a quantidade de pixels dispostos num sensor. Quanto maior a quantidade de pixels, maior a definição agregada a imagem.

A função de transferência de modulação, do inglês *Modulation Transfer Function* (MTF), é um dos métodos de descrição de desempenho de sistemas ópticos mais amplamente usados. A MTF, um dos parâmetros que compõem a qualidade de imagem, descreve a habilidade da câmera de imagem de obter resolução de estruturas, ou seja, mede quão fielmente as lentes reproduzem (ou transferem) detalhes do objeto para a imagem produzida pelas lentes [32].

2.6.8 Rótulo de uma tecnologia CMOS

O rótulo ou nó tecnológico, do inglês *feature size*, de um processo de fabricação CMOS determina a mínima dimensão de um transistor construído de forma confiável. Alguns efeitos tidos como de menor relevância em processos na ordem de micrometros, tais como vazamento de corrente, resistência de conexões e variações de características de transistores adjacentes, são de grande relevância em processos na ordem de nanômetros [16]. Assim, o rótulo de processos de fabricação CMOS é determinante quanto à quantidade de transistores que podem ser alocados em determinada área de pastilha de silício. Isso corresponde a objeto de competição entre as empresas que detém tecnologia de fabricação deste dispositivos.

No entanto, nota-se que a redução gradativa de escalas tem claro um limite físico, uma vez que os transistores não podem ser menores que átomos. Projetistas tem investido esforços para quebrar paradigmas relativos aos limites alcançáveis de melhoria de consumo de energia e atrasos de chaveamento. Fatores como estes que visam transpor limites tecnológicos e de estado-da-arte tem estimulado investimentos massivos em pesquisa em busca de novos materiais e ideias que potencializem este avanço.

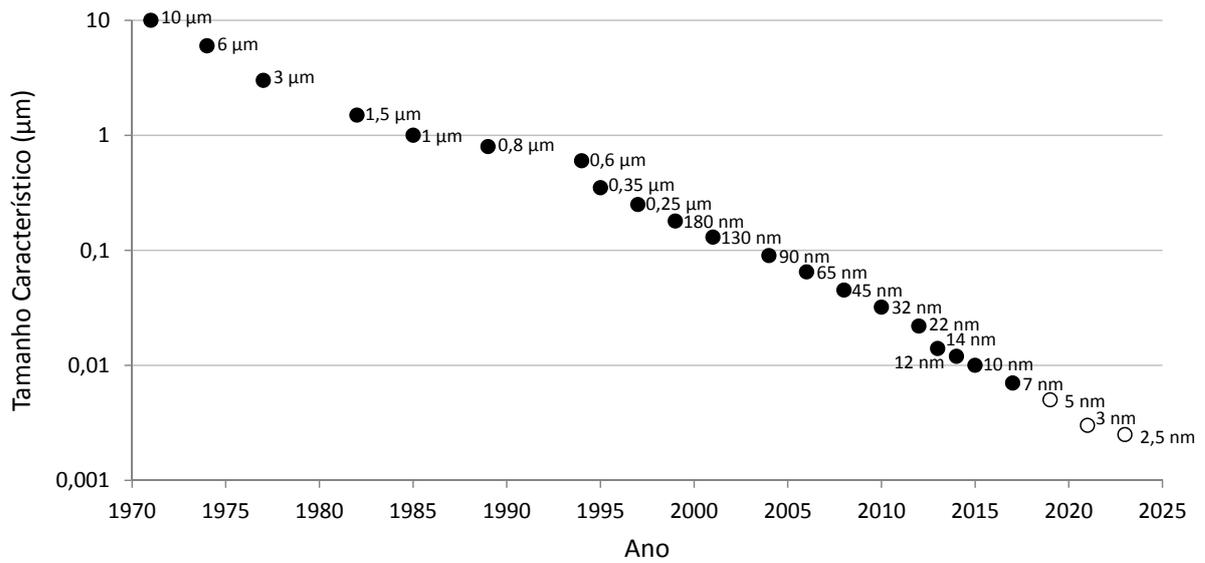


Figura 2.10 – Gerações de processos e futuras previsões [39].

As quatro topologias utilizadas neste trabalho foram implementadas no processo CMOS padrão de 0,35 μm da Austria Microsystems [40] que apresenta como algumas de suas características [41]:

- Substrato p;
- Níveis de Metal: 3-4;
- Metalização: Al;
- Dielétrico: SiO_2 ;
- Máxima Tensão de Operação (nMOS e pMOS): 3,3V ou 5V;

2.7 Estruturas de Pixel Básicas

Avanços tecnológicos têm potencializado o projeto e fabricação de sensores de imagem, ultrapassando muitas implementações práticas tradicionais. Embora o projeto destes circuitos integrados seja limitado por relações de perda e ganho, inovações de projeto podem permitir avanços significativos em tecnologia, tempo e custo. Algumas destas relações de perda e ganho são fundamentais e relativas à operação física do dispositivo, outros são devido a não idealidades práticas da implementação do projeto. Um sensor de imagem como fruto de um bom projeto deve considerar tais relações a fim de encontrar um nível de projeto ótimo [33].

Com seu progresso, a tecnologia CMOS tornou-se preferida em aplicações que necessitam de inspeção em alta velocidade após a primeira década do século XXI [33].

2.7.1 Sensor de Pixel Passivo – PPS

Composto por um fotodiodo e um transistor nMOS que atua como chave, corresponde ao mais simples sensor de imagem CMOS conforme Figura 2.11. Sua principal desvantagem determinante ao desempenho refere-se ao comprometimento de sua velocidade de resposta pelos capacitores, além disso há lentidão da leitura de coluna que é sujeita a perturbações de ruído [2]. Apresenta alto fator de preenchimento, porém sofre com ruído kTC em ampla magnitude devido ao acoplamento entre a alta capacitância do fotodiodo e a baixa capacitância do barramento vertical, o que resulta em alta capacitância equivalente [2,22]. O desacoplamento destas capacitâncias, através de um seguidor de fonte, caracteriza o surgimento do APS visto a seguir no item 2.7.2.

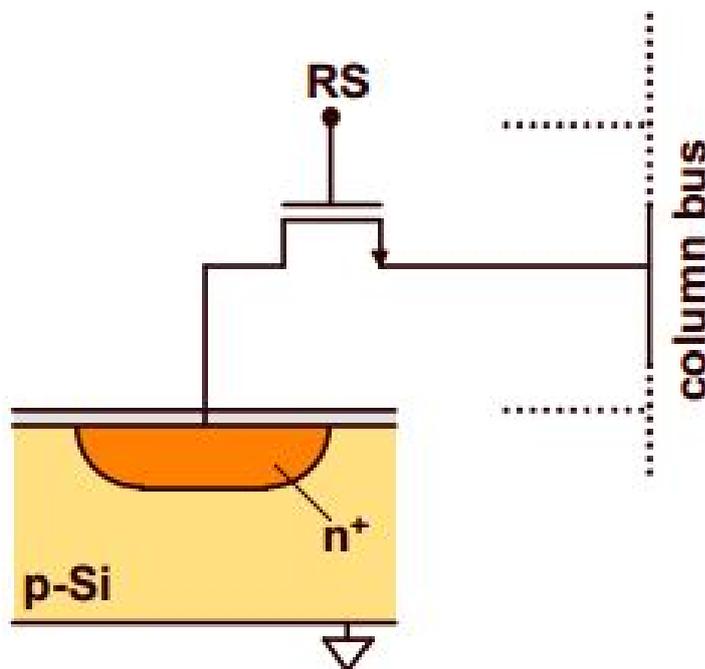


Figura 2.11 – Sensor de Pixel Passivo baseado em único transistor interno ao pixel [22].

Fótons incidem na superfície do fotodiodo durante o tempo de integração e, ao findar este tempo, a tensão correspondente ao montante de fótons que incidiram na superfície do fotodiodo é medida [22].

2.7.2 Sensor de Pixel Ativo – APS

É o tipo dominante no mercado e apresenta melhoria no desempenho de ruído além do que cada pixel traz seu próprio amplificador internamente, como um seguidor de fonte [36] como observa-se na Figura 2.12.

2.7.2.1 APS 3T – APS com Três Transistores

O pixel é composto de fotodiodo, o transistor de *reset*, o transistor seguidor de fonte e o transistor de endereçamento. A fonte de corrente do seguidor de fonte é posicionada no fim do barramento de coluna [22].

O princípio de funcionamento é similar ao do PPS, onde o ciclo inicia-se com o *reset* do fotodiodo através de sua polarização reversa. Em seguida, a tensão é decrescida com a incidência dos fótons na superfície do fotodiodo. Antes do início de um novo ciclo de integração através do *reset* do fotodiodo, o pixel é endereçado e a tensão remanescente do diodo é levada para a saída do pixel através do transistor seguidor de fonte [22].

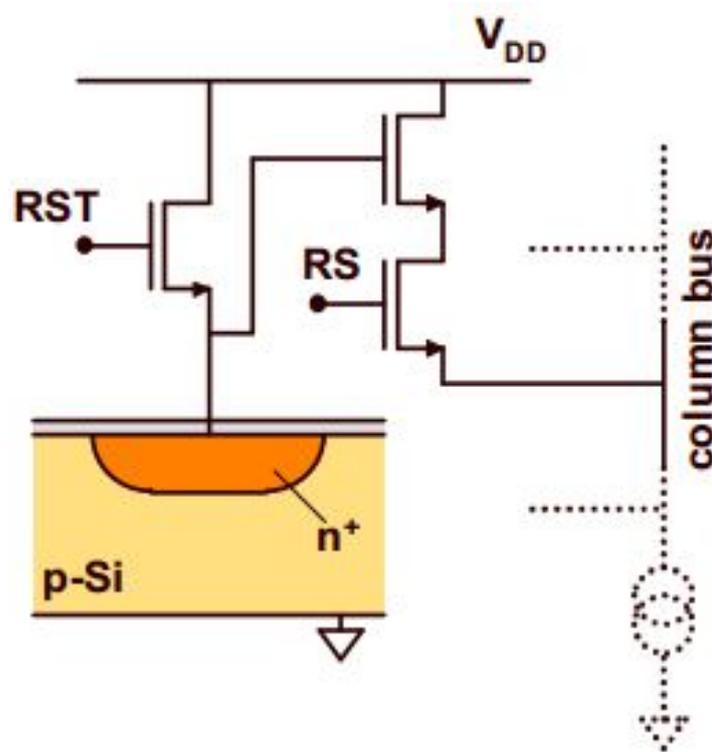


Figura 2.12 – Sensor de Pixel Ativo com três transistores [22].

2.7.2.2 APS 4T – APS com Quatro Transistores

Esta arquitetura pode empregar um fotodiodo convencional ou um fotodiodo embutido, do inglês *pinned photodiode* (PPD). Além disso, adiciona-se uma porta de transferência, representada pelo transistor *TX*, e uma de difusão flutuante, do inglês *floating diffusion* (FD) à estrutura básica do APS 3T. A adição deste transistor contribui para a redução de fator de preenchimento.

Em seu funcionamento na Figura 2.13, primeiramente as cargas do sinal não acumuladas no fotodiodo embutido (PPD). Assumindo que não haja cargas acumuladas inicialmente, imediatamente antes da transferência das cargas no sinal acumuladas, a FD é resetada pela ativação do transistor *Reset*. O valor de *reset* é lido para CDS, descrita

com maiores detalhes no item 3.1.1.1, através da ativação do transistor *RS*. Após este ciclo de reset as cargas do sinal acumuladas em (PPD) são transferidas para (FD) pela ativação de *TX* e seu respectivo valor é lido pela ativação do transistor *RS*. Esta operação de CDS atinge baixo valor de ruído e tem seu desempenho comparável ao CCD. Deste modo, as regiões de fotodetecção e fotoconversão são separadas [21].

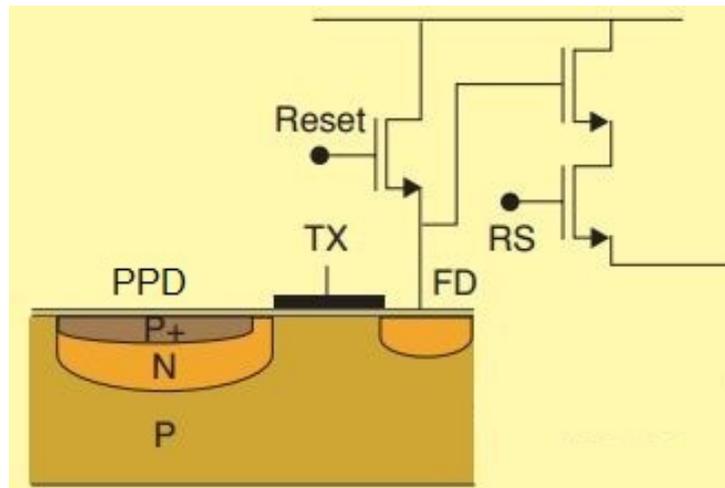


Figura 2.13 – Sensor de Pixel Ativo com quatro transistores [1].

2.7.2.3 APS 5T – APS com Cinco Transistores

A Figura 2.14 mostra o pixel CMOS com cinco transistores onde o transistor *M1* é o dispositivo de carga que converte a fotocorrente em tensão. O transistor *M4* faz o papel de limitador de tensão sobre o fotodiodo *PD* e, o transistor *M5* funciona como uma chave para conectar o pixel à fonte de corrente controlada por tensão que corresponde ao dreno do transistor *M6*.

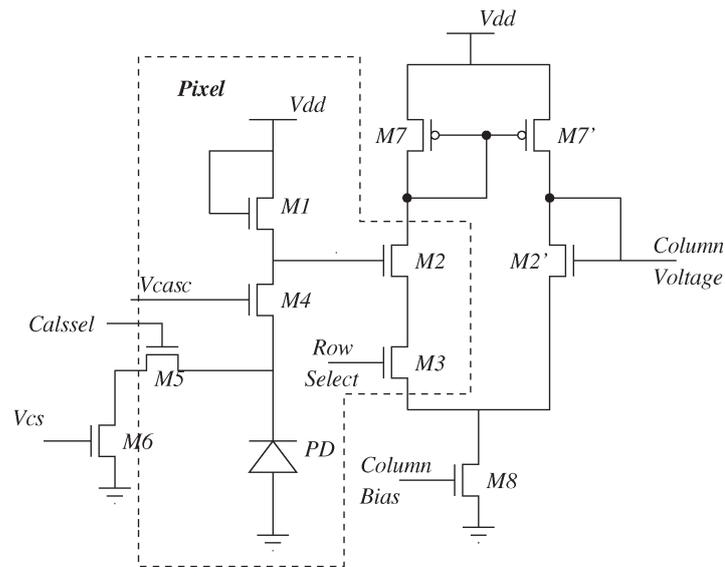


Figura 2.14 – Sensor de Pixel Ativo com cinco transistores em modo logarítmico [4].

2.7.3 Sensor de Pixel Digital – DPS

Apresenta várias vantagens além dos sensores de imagem analógicos como PPS e APS, entre elas um melhor dimensionamento com a tecnologia CMOS devido à menor demanda de desempenho de circuitos analógicos e a eliminação de FPN de coluna devido ao processo de leitura [1].

O uso de conversor A/D e memória em cada pixel provê conversão A/D paralela massiva e leitura digital em alta velocidade. Isto possibilita um potencial ilimitado para imagens digitais instantâneas [1].

Sua principal desvantagem é devido à necessidade de uso de mais transistores por pixel que sensores de imagem convencionais, principalmente para sensores com tecnologia de iluminação frontal, o que resulta em baixos fatores de preenchimento ou pixels de maior tamanho [1]. A redução de fator de preenchimento também acarreta na redução da razão sinal-ruído e de eficiência quântica extrínseca do pixel, que representa a quantia de luz capturada pelo pixel e convertida em sinal elétrico [2].

2.8 Modos de Funcionamento

2.8.1 Modo Linear - LIN

Também conhecido como modo de integração linear, onde a tensão de saída é inversamente proporcional à intensidade luminosa [42]. Apresenta alta sensibilidade, uma boa razão sinal-ruído quando aplica-se o circuito para dupla amostragem correlacionada, do inglês *correlated double sampling* (CDS), descrita com maiores detalhes no item 3.1.1.1,

e ampla excursão de tensão de saída. Porém, esta resposta linear à intensidade luminosa enseja em limitação de alcance dinâmico [23].

Seguindo o esquema da Figura 2.12, o APS é resetado pelo transistor RST. O transistor RST é desligado em seguida para que ocorra o processo de integração de cargas no fotodiodo. Esta integração possui uma taxa de queda de cargas dependente dos portadores gerados pela energia luminosa e dada por:

$$\left(\frac{dV}{dt} = \frac{1,2\lambda P\eta}{c} \right) \quad (2.3)$$

Onde o termo numérico $1,2$ representa várias constantes e um fator de proporcionalidade, λ o comprimento de onda em μm , P é a potência incidente em watts, η a eficiência quântica e c a capacidade do diodo em $F \cdot \text{cm}^{-2}$. As cargas convertidas em tensão são lidas pelo transistor seguidor de fonte e transferidas para a saída pelo transistor de seleção de linha [42, 43].

2.8.2 Modo Logarítmico - LOG

Sensores de imagem atuando no modo logarítmico apresentam largo alcance dinâmico, o que os torna amplamente utilizados em biofísica e radiografia [8, 44] pois possibilitam a aquisição de imagens numa faixa mais extensa de variação de luminosidade. Porém, apresenta baixa excursão de tensão de saída (0,2 a 0,3 V), o que reduz a razão sinal-ruído e frequentemente causa dificuldade no projeto de conversor A/D como resultado do baixo alcance do sinal de entrada. Outra desvantagem é a deficiência de esquema simples para anulação da ampla magnitude de FPN presente devido às variações de processo [23, 44], onde o parâmetro mais crítico é a tensão de limiar dos transistores [7].

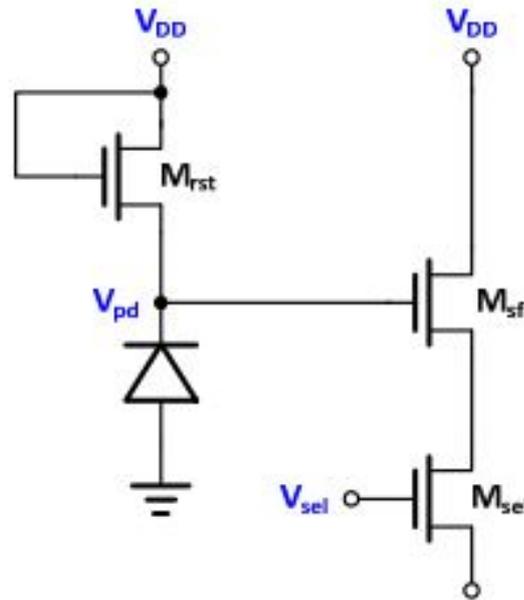


Figura 2.15 – CIS Logarítmico convencional [44].

Na Figura 2.15, os transistores M_{sf} e M_{sel} atuam como seguidor de fonte e chave de seleção, respectivamente. A baixa corrente gerada pelo fotodiodo faz o transistor M_{rst} atuar na região sub-limiar onde a tensão porta-fonte é proporcional ao logaritmo da corrente que flui através do transistor M_{rst} . A tensão no nó V_{pd} é determinada na região sub-limiar dada por:

$$V_{pd} = V_{DD} - V_{th,n} - \gamma V_T \cdot \ln\left(\frac{I_{ph}}{I_0}\right) \quad (2.4)$$

Onde $V_{th,n}$ corresponde à tensão de limiar de M_{rst} , I_0 à corrente de saturação na região de sub-limiar, γ ao coeficiente de efeito de corpo, e V_T à tensão térmica. O termo dependente do processo $V_{th,n}$ do transistor M_{rst} é incluído à tensão de saída e enseja num alto FPN neste tipo de sensor [44].

2.8.3 Modo Linear-Logarítmico - LINLOG

Esta abordagem foi proposta para aumentar o alcance dinâmico e manter a excursão de tensão como um sensor de pixel ativo linear. Esta arquitetura mantém a sensibilidade de imagem com baixa luminosidade e comprime a imagem com alta luminosidade com resposta logarítmica. Esta característica amplia o alcance dinâmico conservando o detalhe tanto em baixa e quanto em alta luminosidade [44].

A Tabela 2.2 demonstra uma comparação genérica entre os modos linear e logarítmico levando em conta alguns parâmetros determinantes no que tange ao desempenho dependendo de sua aplicação.

Tabela 2.2 – Comparação entre modos linear e logarítmico [42].

Parâmetro	Modo Linear	Modo Logarítmico
Fator de Preenchimento	Menor	Alto
Alcance Dinâmico	Baixo	Alto
Excursão do Sinal de Saída	Melhor	Baixa
FPN	Baixo	Alto
Circuitos Auxiliares	Menos Complexos	Complexos

O desejo de fundir os pontos fortes de ambos os modos apresentados anteriormente culminaram numa variedade de propostas. No fim dos anos 90 foram propostos dois métodos para combinar os modos linear e logarítmico. O primeiro dispõe a seleção independente entre os modos linear e logarítmico [45]. O segundo método foi pioneiro no uso do termo linlog, o esquema requer o mínimo de quatro transistores por pixel e o pixel é capaz de mudar do modo linear para o logarítmico dependendo unicamente da intensidade da luz [46]. Após isso, uma técnica similar foi apresentada e patenteada como *LINLOG_{TM}* [47] com a diferença de aplicar o APS 3T.

2.9 Ruído

O ruído é qualquer outro sinal adicional que modifica as características do sinal original. Também é comum que flutuações do próprio sinal original sejam fonte de ruído. A discussão sobre ruído em circuitos compostos por dispositivos MOSFET é mais relevante em circuitos analógicos que em circuitos digitais. Isto deve-se ao fato de que circuitos digitais não apresentam ganho para ruídos de baixa amplitude na entrada, somente para sinais digitais reais [48]. Esta característica não é trivial para circuitos de natureza linear como os analógicos. A amplificação presente em CIS onde o sinal é pequeno, é bastante susceptível a ruídos [30].

Uma das categorias de ruído é atribuída aos ruídos inerentes aos dispositivos eletrônicos. Como exemplo de fonte deste tipo de ruído, podemos citar o comportamento aleatório dos portadores de carga dos dispositivos que criam flutuações de tensão e corrente que podem ser medidas em seus terminais [48]. Isto torna o nível de ruído dependente do projeto e fabricação dos dispositivos eletrônicos e não do nível do sinal amplificado [30].

Um ruído é dito temporal quando há flutuações não desejadas no sinal ao longo do tempo. Quando há distorções na área da imagem, que é estável no tempo, temos um ruído denominado como espacial.

A visibilidade de ruídos em imagens para observadores humanos depende de fatores como magnitude do ruído e tom aparente da área que contém o ruído. A magnitude de ruído presente numa representação de saída depende do ruído acumulado em todo o percurso do sinal desde a captura da imagem até sua respectiva demonstração na saída.

Assim, processos como a amplificação ou ganhos aplicados aos dados da imagem também podem contribuir na produção de algum ruído na saída [49].

2.9.1 Ruído Térmico

Ruído oriundo do movimento aleatório de elétrons disponíveis para condução no interior do dispositivo. Dentro do dispositivo, cada elétron disponível para condução está em movimento devido à sua energia térmica. Sua trajetória é aleatória devido à ocorrência de colisões. O efeito resultante deste movimento de elétrons é um fluxo de corrente elétrica de direção também aleatória através do dispositivo e com um valor líquido zero [50].

2.9.2 Ruído de Padrão Fixo

Os benefícios trazidos pelo CIS vão além de avanços tecnológicos, trazendo a possibilidade de melhora de desempenho na imagem através de técnicas de projeto, entre elas a compensação de não idealidades no sensor [33].

Entre estas não idealidades presentes no sensor de imagem temos o ruído de padrão fixo que produz variação na saída de pixel para pixel sob uma iluminação uniforme, como pode ser exemplificado na Figura 2.16. Esta não idealidade, introduzida durante o processo de fabricação, é causada por descasamentos em interconexões e dispositivos ao longo do sensor de imagem sob iluminação uniforme. Sua magnitude está relacionada à tolerância de variação de processo especificada por cada fábrica e, sua presença é especialmente notada em ambientes com baixa luminosidade [2, 34].

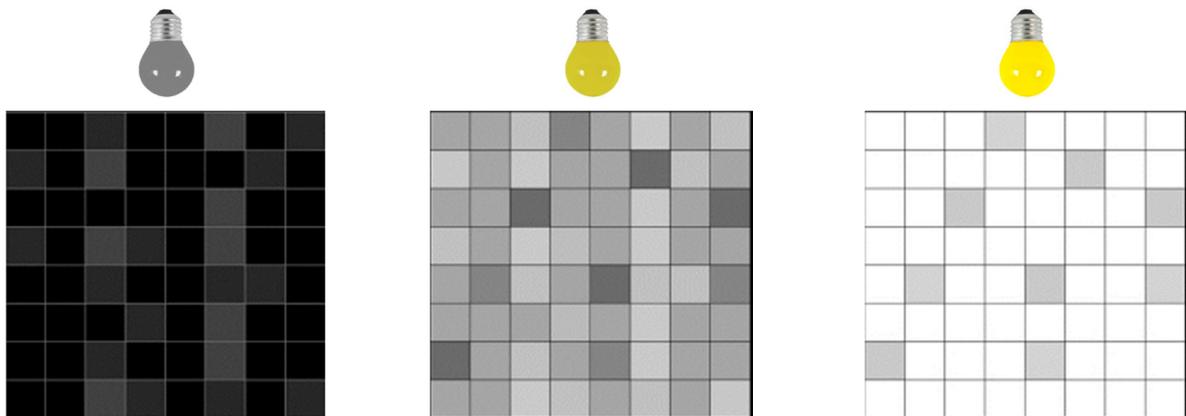


Figura 2.16 – Anomalias introduzidas pelo FPN [2].

Dois componentes formam o FPN: *offset* e ganho, especialmente visíveis sob baixa iluminação. O componente *offset*, usualmente mais crítico [1, 31, 51] e comumente referido como não uniformidade do sinal de escuro, do inglês *dark signal non-uniformity* (DSNU), corresponde à porção do FPN total que é independente do sinal luminoso devido aos descasamentos em interconexões e dispositivos e a variações da corrente de escuro. O

componente ganho do FPN, comumente referido como não uniformidade da resposta fotosensível, do inglês *photoresponse non-uniformity* (PRNU), é a porção do FPN total que depende do sinal de luz no pixel.

CIS possuem mais fontes de FPN em comparação com CCD, principalmente devido aos circuitos ativos de leitura [2].

Em modo logarítmico, a variação de tensão de limiar do transistor MOS, V_{th} , influencia na presença de um alto FPN. Além disso, a corrente de fuga na conversão logarítmica do transistor limita severamente a sensibilidade destes sensores de imagem em condições de baixa iluminação [8]. O CIS de largo alcance dinâmico também sofre com alto FPN causado pelo processo dependente da resposta logarítmica [44].

2.9.3 Razão de Sinal-Ruído e Distorção

Em geral, os sinais usados em um dispositivo ou circuito eletrônico são uma combinação entre os sinais originais e algum ruído. Assim, a relação entre a energia do sinal e a energia do ruído é denominada SNR [48]. Outros fatores, como atenuações causadoras da redução de potência do sinal, também podem causar a distorção do sinal, daí pode-se ter a razão sinal-distorção, do inglês *signal-to-distortion ratio* (SDR) [2, 9]. Quando o sistema sofre a influência de ruído e distorção, tem-se desta combinação a razão de sinal-ruído e distorção, do inglês *signal-to-noise-and-distortion ratio* (SNDR). Estas razões caracterizam a qualidade da detecção do sinal pelo CIS, isto é, a razão entre o sinal de luz e a soma dos sinais de ruído [52].

A capacidade de distinguir um objeto de outros ou do plano de fundo numa imagem só é possível devido à sua diferença de luminosidade em relação ao ambiente. Desta maneira, para a visualização de um objeto, a magnitude do sinal deste objeto dever superar a magnitude do ruído da imagem assegurando a distinção entre os mesmos [30].

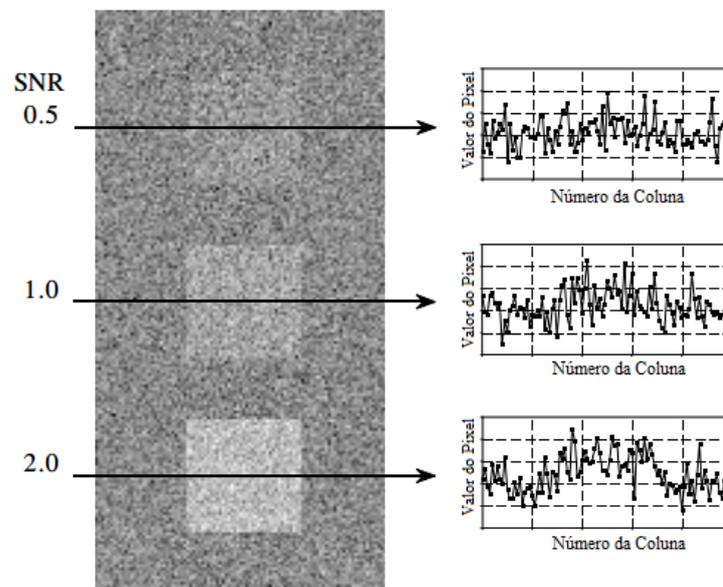


Figura 2.17 – SNR mínima detectável [30].

A Figura 2.17 mostra uma imagem com três quadrados contendo contrastes de 5%, 10% e 20%. O fundo possui um ruído aleatório de distribuição normal com um desvio padrão de aproximadamente 10% do contraste. O SNR corresponde ao contraste dividido pelo desvio padrão do ruído. Isto resulta em três quadrados com valores de SNR de 0,5, 1,0 e 2,0. De forma geral, valores de SNR abaixo de 1,0 são problemáticos [30].

2.10 SPICE

A fabricação de chips demanda tempo e alto custo. Desta forma, ferramentas que permitam simulações e potencializem projetos e suas respectivas verificações e testes são necessárias numa etapa prévia à fabricação. Estes simuladores operam em diversos níveis de abstração, do processo até arquiteturas completas [16].

A complexidade de circuitos integrados aumenta à medida que a escala de integração torna-se maior. Assim, a necessidade de prever precisamente o comportamento detalhado de dispositivos eletrônicos é de extrema necessidade.

É neste contexto, que o Programa de Simulação com Ênfase em Circuitos Integrados, do inglês *simulated program with integrated circuits emphasis*, que corresponde a uma categoria de softwares utilizados para projeto e simulação de circuitos analógicos revela seu valor. Através deste software pode-se testar e analisar o comportamento de circuitos eletrônicos [53].

Há versões comerciais ou gratuitos para diversas plataformas de *SPICE*, no entanto, as versões comerciais tendem a oferecer convergência numérica mais robusta [16], isto é, maior fidelidade nas simulações e seus respectivos resultados.

O *SPICE* foi desenvolvido na década de 70 em Berkeley e soluciona equações diferenciais não lineares responsáveis por descrever componentes como transistores, resistores, capacitores e fontes de tensão. Seu formato de arquivo apresenta-se como uma de suas peculiaridades devido ao emprego da linguagem de programação FORTRAN [16].

Basicamente, as versões de *SPICE* geram uma lista com resultados, avisos e mensagens de erro a partir da leitura de um arquivo de entrada. Este arquivo possui uma lista de componentes e nós de contato, além de opções de simulação, comandos de análise e modelos de dispositivos, como os representados pelo modelo descrito em 2.11. Esta lista pode ser feita manualmente, gerada de um esquema de circuito ou ainda através do leiaute do arranjo dos componentes num programa *CAD* [16].

2.11 BSIM

Modelo IGFET de canal curto Berkeley, do inglês *Berkeley short-channel IGFET model* (BSIM), desenvolvido por um grupo de pesquisadores do Departamento de Engenharia Elétrica e Ciências da Computação da Universidade da Califórnia, Berkeley em 1987. Seu objetivo de disponibilizar um modelo SPICE de transistor MOS fundamentado na física, eficiente computacionalmente, robusto e preciso, além de todo o mecanismo associado à sua caracterização para projeto e simulação de avançados de circuitos integrados e para o desenvolvimento da tecnologia CMOS. O modelo BSIM tem sendo usado amplamente pela maioria das companhias de semicondutores e desenvolvimento de circuitos em todo o mundo para modelagem de dispositivos e projetos de circuitos integrados CMOS [54]. As versões disponíveis são BSIM3, BSIM4 e, a mais recente, BSIM6.

Referindo-se ao modelo aplicado a transistores MOSFET, pode-se citar como algumas de suas características [16]:

- Sensibilidade de parâmetros tais como V_{th} para largura e comprimento de transistor. Este parâmetro de dispositivo sofre alterações significantes com as dimensões do dispositivo;
- Modelo de tensão de limiar detalhado incluindo efeito de corpo e redução de barreira induzida pelo dreno;
- Velocidade de saturação, redução de mobilidade e outros efeitos relativos a canais curtos.

Há diversas características físicas de dispositivos incorporadas em modelos BSIM através de parâmetros. Tem-se a seguir alguns destes parâmetros relativos ao modelo MOSFET [55]:

2.11.1 Tensão de Limiar

As tensões de limiar entre um grupo de transistores possuem o perfil de uma distribuição normal sobre a média, conforme Figura 2.18.

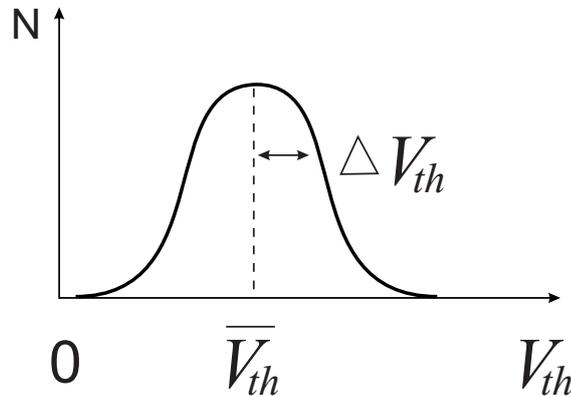


Figura 2.18 – Distribuição normal de tensões de limiar [55].

Isto tem sido demonstrado, experimentalmente, que o descasamento relativo à diferença em tensões de limiar, do inglês *Threshold Voltage Mismatch*, entre dois transistores identicamente dimensionados corresponde a:

$$\sigma_{\Delta V_{th}} = \frac{A_{V_{th}}}{\sqrt{W \cdot L}} \quad (2.5)$$

Onde $A_{V_{th}}$ é a constante de conversão do rótulo da tecnologia empregada (em $\text{mV}\mu\text{m}$), e $W \cdot L$ denota o produto da área ativa do transistor [56]. Assim, nota-se que a área, $W \cdot L$, deveria ser aumentada quatro vezes para produzir uma redução de descasamento pela metade.

Fabricantes monitoram o processo continuamente através de dados estatísticos coletados por estruturas de testes que medem ΔV_{th} múltiplas vezes por lâmina e para transistores de dimensões variadas a fim de manter o processo de fabricação dentro de limites de variação aceitáveis.

2.11.2 Parâmetro de Efeito de Corpo ou Sensibilidade do Substrato

Com a tensão $V_{sb} = 0$, o MOSFET atua como um dispositivo de três terminais. Entretanto, muitos circuitos tais como circuitos integrados, onde o substrato e a fonte do MOSFET são conectados a diferentes tensões, isto é, quando uma tensão V_{sb} é aplicada entre a fonte e o corpo do transistor, a quantidade de carga necessária para a inversão do canal aumenta. Assim, a tensão de limiar também sofre incremento. O parâmetro

é representado pelo coeficiente de efeito de corpo ou sensibilidade do substrato [16,57] modelado por:

$$V_{th} = V_{th0} + \gamma \left(\sqrt{V_{sb} + 2\phi_F} - \sqrt{2\phi_F} \right) \quad (2.6)$$

Na equação 2.6 temos que V_{th0} é o valor para V_{th} de polarização do substrato em zero, ou seja, $V_{sb} = 0$, γ é o parâmetro que determina a intensidade do efeito de corpo e $2\phi_F$ é o parâmetro de potencial de superfície, isto é, a tensão ao longo da camada de depleção [57]. Nota-se que para o caso de canal tipo p basta substituir-se V_{sb} por $|V_{sb}|$, N_A por N_D .

O parâmetro de efeito de corpo γ é um parâmetro de processo de fabricação descrito por:

$$\gamma = \frac{\sqrt{2qN_A\varepsilon_s}}{C_{ox}} \quad (2.7)$$

Onde q é a carga do elétron ($1,6 \cdot 10^{-19}$ C), N_A é a concentração de dopantes no substrato tipo p , C_{ox} a capacitância do óxido e ε_s a permissividade do silício ($1,04 \cdot 10^{-12}$ F/cm) [18].

2.12 Análise estatística e probabilística

2.12.1 Média

Medida de posição, média aritmética comum representada por \bar{x} , quando tomada de uma amostra, a medida mais comum de centro de uma dada coleção de dados. Dada por:

$$\bar{x} = \frac{x_1 + x_2 + \dots + x_n}{n} = \frac{1}{n} \sum_{i=1}^n x_i \quad (2.8)$$

O valor n corresponde ao número de observações e o de x aos respectivos valores das observações [58].

2.12.2 Desvio Padrão

Mede a dispersão demonstrando quão distantes as observações estão da média [58]. Representado por s quando o desvio padrão é feito sob amostra, quanto menor for a

variação dos dados ao redor de média \bar{x} , mais próximo de zero (0) será o valor do desvio padrão [59].

$$s = \sqrt{\frac{(x_1 - \bar{x})^2 + (x_2 - \bar{x})^2 + \dots + (x_n - \bar{x})^2}{n - 1}} = \sqrt{\frac{1}{n - 1} \sum_{i=1}^n (x_i - \bar{x})^2} \quad (2.9)$$

2.12.3 Distribuição Normal

Também conhecida como Distribuição de Gauss ou Gaussiana é uma importante classe de curvas de densidade, que descrevem o padrão geral de uma dada distribuição. Desempenha um grande papel em estatísticas porque são representações adequadas tanto para distribuições de dados reais e quanto para aproximações de resultados para diversas probabilidades. Esta adequação é evidenciada á medida que a distribuição normal descreve uma série de fenômenos físicos e financeiros, por exemplo, entre várias outras aplicações. Qualquer curva específica pode ser totalmente descrita por sua média e desvio padrão, isto é, através destes valores determina-se qualquer probabilidade em uma distribuição normal. A média de uma distribuição normal localiza-se no centro na curva normal simétrica. O desvio padrão é a distância do centro para o ponto de mudança de curvatura em ambos os lados e controla o espalhamento da curva, isto é, curva com desvio padrão elevado são mais espalhadas. [58].

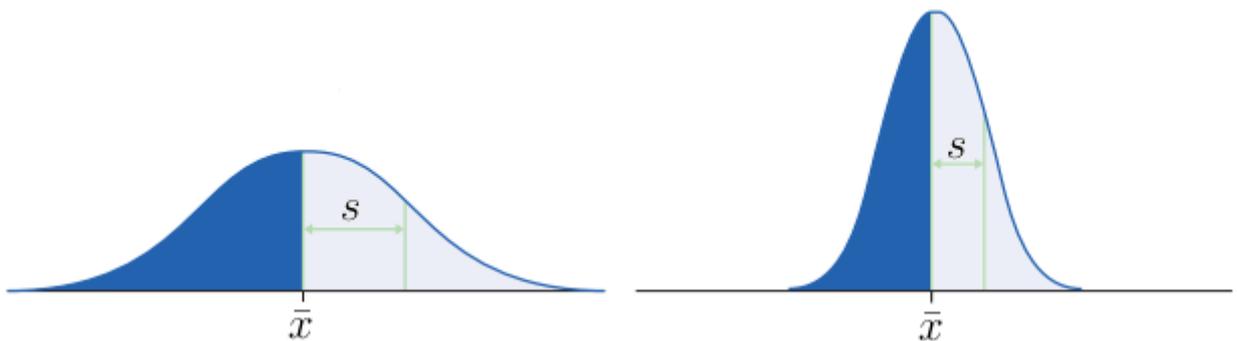


Figura 2.19 – Duas curvas normais mostrando a média μ e o desvio padrão σ [58]

2.12.4 Histograma

Ferramenta utilizada para resumir dados coletados de um determinado processo e apresentá-los graficamente em forma de barras com distribuição de frequência. Desta maneira, grandes quantidades de dados, que apresentam dificuldade para interpretação na forma tabular, podem ser mostrados com detalhes de centralização, variações e formato da distribuição de dados [59]. Um exemplo pode ser visto na Figura 2.20.

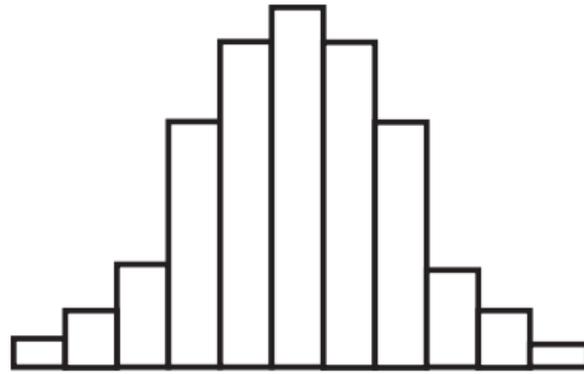


Figura 2.20 – Histograma de uma distribuição normal [59]

2.12.5 Método de Monte Carlo

Monte Carlo é o nome do subúrbio de Mônaco famoso por seus casinos. Este nome também designou o código secreto para a bomba atômica feita na segunda guerra mundial envolvendo simulações aleatórias do processo de difusão de nêutrons. Desde então o método de Monte Carlo tem sido empregado em diversas áreas como cálculos matemáticos complexos, simulações de processos estocásticos, estatísticas médicas, análise de sistemas de engenharia e avaliação de confiabilidade.

O método de Monte Carlo é uma designação geral para uma simulação estocástica que utiliza números aleatórios. A simulação estocástica empregada, faz parte da ciência de processos estocásticos e busca explorar o espaço de incerteza ou possibilidades de determinado fenômeno ou variável onde seu comportamento possa ser quantificado matematicamente.

O conceito básico data do século XVIII quando o cientista francês Buffon apresentou o famoso método de teste de lançamento de agulhas para calcular π em 1777. Neste método, uma agulha de comprimento d é lançada aleatoriamente em um plano sobre o qual algumas linhas paralelas com largura igual a foram dispostas, onde $d < a$. A probabilidade da agulha atingir uma linha é dada por $P = 2d/\pi a$. Desde que esta probabilidade possa ser estimada como a relação do número de lançamentos que atingem a linha e o número total de lançamentos, o valor de π pode ser obtido por $\pi = 2d/Pa$. Este é o mais antigo e interessante exemplo de aplicação do método de Monte Carlo [60].

Desta forma, o método de Monte Carlo pode ser aplicado para encontrar variações aleatórias nos circuitos das topologias apresentadas através da repetição de simulações configuradas com limites de parâmetros [16].

3 Revisão de Literatura

3.1 Técnicas de Redução de FPN

Em técnicas atualmente encontradas na literatura faz-se necessária a elevação do nível de tensão em alguns sinais de controle a fim de evitar maiores complexidades nas arquiteturas, o que pode ocasionar na redução da área fotossensível do sensor. Porém, a elevação da tensão acima do nível da alimentação é nocivo ao ponto em que reduz o tempo de vida útil do sensor de imagem [2].

Em modo Linear, técnicas de circuito são aplicadas a fim de tratar ruídos de imagem. Dentre elas, tem-se a dupla amostragem correlacionada (CDS) e a amostragem de *reset* delta, do inglês *delta reset sampling* (DRS) [1] vistas com maiores detalhes no item 3.1.1.1.

Sensores de imagem em modo logarítmico possuem diferentes técnicas para a compensação de FPN. A maioria destas técnicas são baseadas em métodos de compensação digital externas ao chip [8]. Neste modo, a técnica de dupla amostragem correlacionada (CDS) e amostragem de *reset* delta (DRS) não funcionam adequadamente, pois podem anular a contribuição do sinal de luz correspondente à intensidade luminosa, assim, técnicas alternativas são aplicadas a fim de atenuar o FPN [2,6].

3.1.1 Compensação de FPN externa ao Chip

Técnicas de compensação externas ao chip são usualmente requeridas para resolver o problema de FPN com esforços de processamento de sinal e custos adicionais [44] em decorrência de fatores como circuitos auxiliares adicionais.

Como exemplo, o transistor utilizado como chave de *reset* em cada APS drena as cargas acumuladas no ciclo de imagem anterior a fim de prepará-lo para o próximo. No entanto, este processo não é perfeito e algumas cargas permanecem na área sensível do sensor. Estes elétrons correspondem a um ruído de chaveamento, de padrão fixo, que pode compor, em parte, o sinal de vídeo.

Dentre as diversas técnicas utilizadas há uma técnica, por exemplo, onde o *offset* do pixel pode ser armazenado. Neste caso, microcontroladores e processadores executam instruções relativas a fatores como tempo de integração e armazenamento de resultado, ao mesmo tempo que uma memória de quadros de imagem armazena amostras intermediárias utilizadas para reconstruir imagem de largo alcance dinâmico [1].

Em outro exemplo, a calibração de *offset* pode ser realizada através da técnica de

injeção de carga no fotodiodo [61] que combina os modos linear e logarítmico num sensor de imagem com quatro transistores por pixel.

Descreve-se a seguir outra técnica amplamente empregada:

3.1.1.1 A Técnica CDS

A clássica técnica de dupla amostragem correlacionada, do inglês *correlated double sampling* (CDS), caracterizada-se por amostrar a saída do sensor de imagem duas vezes como pode ser visto na Figura 3.1.

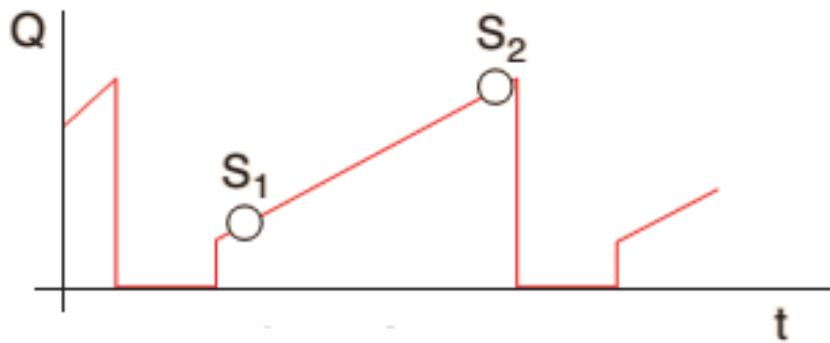


Figura 3.1 – Correlated Double Sampling (CDS) [1]

A primeira amostra ocorre imediatamente após o tempo de *reset* onde tem-se em elétrons:

$$S_1 = Q_{Reset} + Q_{1,Leitura} + Q_{FPN} \quad (3.1)$$

A segunda amostragem ocorre com a presença do sinal, durante o tempo de integração onde tem-se em elétrons:

$$S_2 = (i_{ph} + i_{dc})t_{int} + Q_{Shot} + Q_{Reset} + Q_{2,Leitura} + Q_{FPN} + Q_{DSNU} + Q_{PRNU} \quad (3.2)$$

Da diferença entre a segunda e a primeira amostragem tem-se em elétrons:

$$(S_2 - S_1) = (i_{ph} + i_{dc})t_{int} + Q_{Shot} - Q_{1,Leitura} + Q_{2,Leitura} + Q_{DSNU} + Q_{PRNU} \quad (3.3)$$

Onde para os componentes de ruído independentes Q_{Reset} representa o ruído de reset (ruído kTC), $Q_{Leitura}$ o ruído do circuito de leitura da saída, Q_{FPN} o *offset* do FPN devido a descasamentos entre dispositivos, Q_{Shot} o ruído de carga durante o tempo de

integração, Q_{DSNU} o *offset* do FPN devido às variações na corrente de escuro, Q_{PRNU} o ganho do FPN e t_{int} o tempo de integração.

O *offset* relativo ao FPN é eliminado, porém o ruído de leitura da saída $Q_{Leitura}$ é aumentado [1].

A técnica (CDS), aplicada em modo linear, pode reduzir acentuadamente o FPN através da subtração das médias de *offset*. A fotocorrente é integrada na capacitância do fotodiodo acima do período de um quadro e o pixel resultante é armazenado. Então, através de uma chave, a carga coletada é removida, isto é, o pixel é resetado. Através da subtração dos dois níveis de pixel, os níveis de *offset* introduzidos pelas variações da tensão de limiar são removidos [7, 34].

Outra modalidade do CDS refere-se ao método digital de sua realização. Sabe-se que as variações pixel-a-pixel produzem FPN e que a técnica de CDS pode controlar este ruído. No entanto, não uniformidades entre circuitos de coluna permitem variações entre tais colunas, o que produz FPN vertical. Neste caso, o conversor A/D de coluna converte a tensão de ruído e o sinal com tensão de ruído para digital. Depois disso, o conversor A/D de coluna subtrai o valor de ruído digital do valor do sinal com sinal de ruído a fim de gerar o valor digital de saída. Assim, tem-se uma maior consistência de coluna para coluna e reduzido FPN vertical em comparação com a técnica convencional de CDS [34].

A técnica CDS pode ser implementada em APS 4T, no entanto, para APS 3T usa-se uma técnica denominada amostragem de *reset delta*, do inglês *delta reset sampling* (DRS) [1]. Nesta técnica a saída do pixel é lida após a integração e, novamente após o próximo reset como pode ser visto na Figura 3.2. Sendo o ruído de *reset* adicionado à primeira amostra S_2 diferente do adicionado à segunda amostra S_3 , a diferença entre as duas amostras suprime somente o *offset* do FPN e duplica a potência do ruído de *reset* [1].

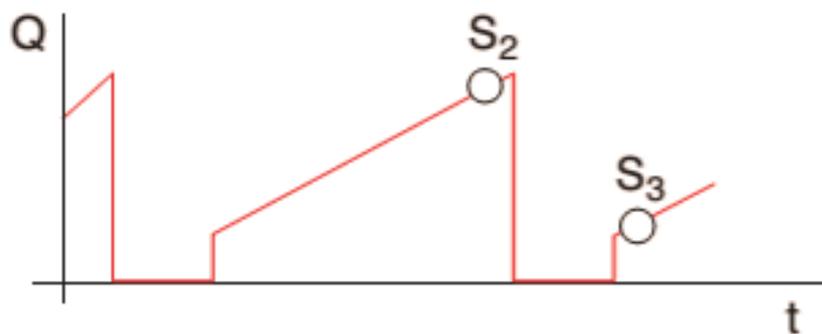


Figura 3.2 – Delta-Reset Sampling (DRS) [1]

3.1.2 Compensação de FPN interna ao Chip

A técnica de redução interna ao chip de CIS logarítmico provê uma solução eficiente para a redução de FPN [44].

Uma técnica busca o cancelamento dos efeitos das variações de tensão de limiar nos pixels através do uso de uma corrente de referência interna ao chip. Sua aplicação visa remover o FPN através de uma fonte de redução interna, incidindo assim no cancelamento dos efeitos das variações de tensão de limiar nos pixels [7].

Outra técnica apresenta a redução da compressão logarítmica e a implementação de mais um transistor de descarga para compensação interna ao pixel. Propõe um CIS dedicado a melhorar a excursão de tensão de saída em um sensor logarítmico simples, ao mesmo tempo que conserva a simplicidade [5].

3.2 O padrão EMVA1288 - Versão 3.1

Este padrão foi criado em conjunto pela Associação europeia de visão de máquinas com o propósito de desenvolver um método unificado e significativo para medição, cálculo e apresentação de parâmetros e dados de caracterização para sensores de imagem e câmeras usados em aplicações de visão de máquinas.

Seu principal objetivo é prover uma definição concisa e clara descrição do processo de medição, além de fornecer rápido, detalhado e consistente acesso a informações de especificação de sensores e câmeras. Isto representa um benefício particular a todos que desejarem comparar sensores ou câmeras, ou calcular desempenho de sistemas baseados em especificações informadas com o intuito de projetar sistemas com o desempenho requerido.

A abrangência deste padrão estende-se sobre sensores de imagem ou câmeras digitais coloridas ou monocromáticas com características de resposta linear. Sensores onde obrigatoriamente o sinal digital cresça linearmente com o número de fótons recebido. Sensores ou câmeras com respostas logarítmicas não podem ser descritos por este padrão [20].

Existem várias unidades medida de intensidade luminosa percebidas pelo olho humano e modeladas usando a resposta do olho humano. Estas unidades não podem representar o meio como dada máquina reconheceria uma imagem. Para o padrão aqui mencionado, a unidade adotada é o Lux. O valor de lux de uma câmera representa a iluminação mínima requerida pela câmera para capturar uma imagem aceitável. Este valor pode variar entre diferentes câmeras. Esta imagem aceitável é julgada de modo subjetivo e não provê qualquer informação sobre ruído de imagem [37].

O EMVA1288 usa métricas como o ruído de leitura e profundidade de poço para descrever o desempenho de câmeras. Cada medição é caracterizada através do uso de

um método padronizado definido pela norma, provendo um método de comparação de desempenhos objetivo entre diferentes câmeras de diferentes fabricantes [20, 37].

3.3 ISO 15739:2013

Este padrão da Organização Internacional para Padronização, do inglês *International Organization for Standardization* (ISO), especifica métodos para medição e apresentação dos níveis de sinal e ruído além de alcance dinâmico para câmeras fotográficas digitais monocromáticas e coloridas [49].

Estas medidas de ruído em câmeras utilizados neste padrão são realizadas no domínio digital e aplicando técnicas de análise digitais.

4 Método de Comparação entre Topologias de Pixeis

4.1 Topologias Investigadas

Em busca de observar o comportamento e FPN associados às topologias de pixel apresentadas na Figura 4.1, as Figuras 4.1(a) e 4.1(b), apresentam topologias com estágios de saída originalmente diferentes e as Figuras 4.1(c) e 4.1(d), propõem estágios de saída projetados de maneira diferente a partir da troca dos estágios de saída das topologias originais anteriormente citadas.

O pixel na Figura 4.1(c) combina o pixel na Figura 4.1(a) com o estágio de saída do pixel na Figura 4.1(b), e o pixel na Figura 4.1(d) combina o pixel na Figura 4.1(b) com o estágio de saída do pixel na Figura 4.1(a).

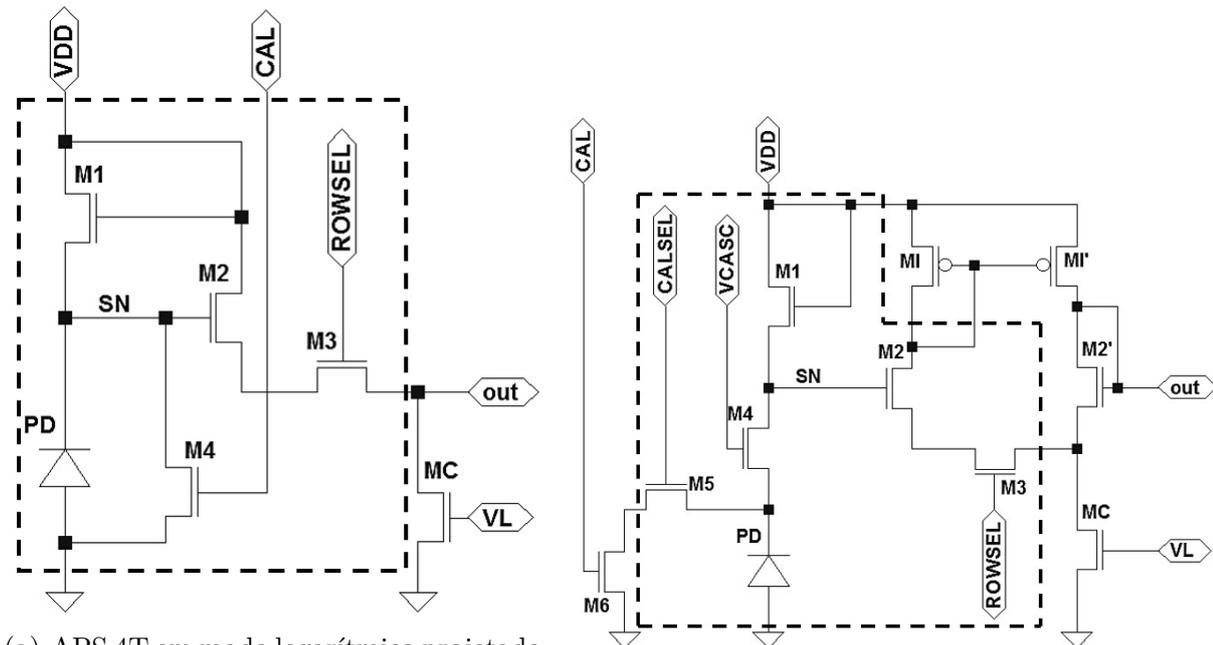
Nas quatro topologias apresentadas na Figura 4.1, os dispositivos dentro da área delimitada pela linha tracejada são internos ao pixel, enquanto que os demais dispositivos são compartilhados por todos os pixeis em uma coluna da matriz. A configuração básica de sinal de controle das topologias presentes na Figura 4.1 para a operação logarítmica é $V_{DD} = 3,3 \text{ V}$, $V_L = 0,9 \text{ V}$, $V_{CAL} = 1,3 \text{ V}$, $t_{STTL} = 31 \text{ ms}$ e $t_{REF} = 1 \text{ ms}$. As dimensões dos transistores utilizados no projeto dos pixeis estão dispostos na Tabela 4.1.

Tabela 4.1 – Dimensões dos transistores.

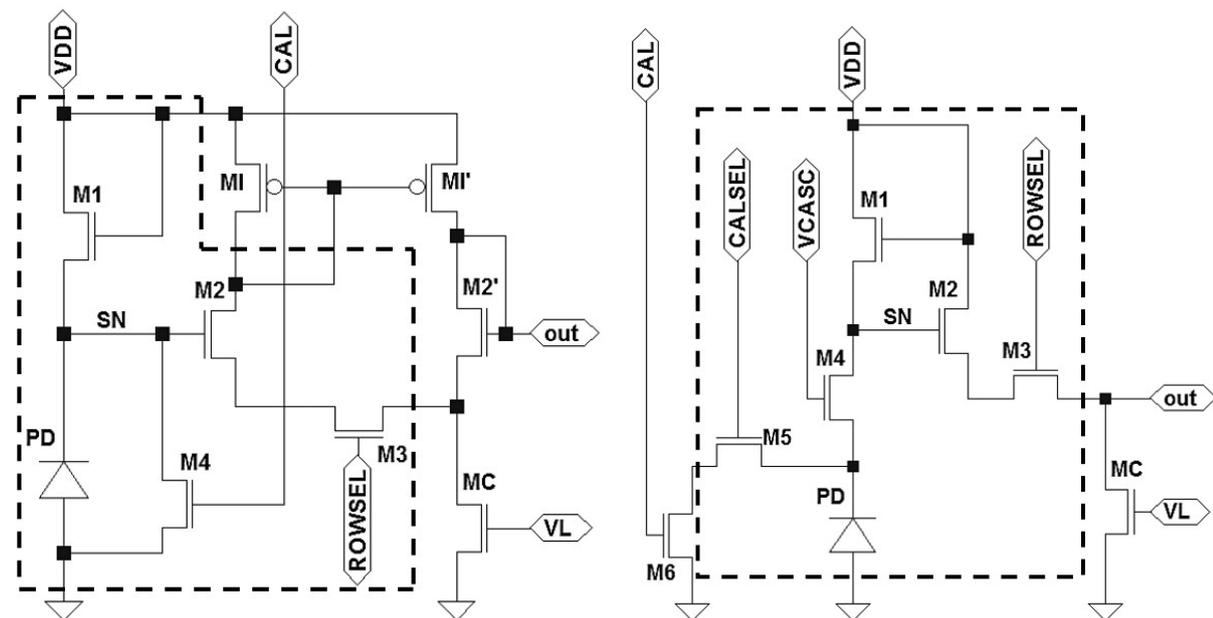
Transistor	Tipo	Largura [μm]	Comprimento [μm]
M1, M2, M2', M3, M4, M5, M6, MC	NMOS	0,70	0,35
MI, MI'	PMOS		

Todas as quatro topologias de pixel apresentadas na Figura 4.1 operam em largo alcance dinâmico e modo logarítmico, com o terminal de porta de seus transistores de *reset* M1 ligado à V_{DD} . O ciclo de operação de todas as quatro topologias são similares ao esquema apresentado na Figura 4.2(a), onde primeiramente o pixel é configurado para produzir a saída logarítmica dependente de luz V_{OUT_LOG} , então a fonte de corrente é configurada para produzir a saída com a redução, calibração, V_{CAL} , demonstrada em 4.2(b). A saída dependente de luz S_1 é amostrada no fim do período de V_{OUT_LOG} e a saída com a redução, calibração, S_2 é amostrada no início de V_{CAL} . Daí a amostra de S_2 é subtraída de S_1 produzindo a saída com FPN reduzido [2, 3, 5, 6].

A diferença básica entre o método de redução de FPN empregado pelas topologias de pixel nas Figuras 4.1(a) e 4.1(c) em relação ao empregado pelos pixeis nas Figuras 4.1(b) e 4.1(d), é que no primeiro caso cada pixel tem sua própria fonte de corrente para



- (a) APS 4T em modo logarítmico projetado para redução de FPN com corrente interna ao pixel e com estágio de saída simples com amplificador de corrente de coluna [6].
- (b) APS 5T em modo logarítmico projetado para redução de FPN com corrente externa ao pixel e com estágio de saída com amplificador diferencial [4].



- (c) Proposta de APS 4T em modo logarítmico projetado para redução de FPN com corrente interna ao pixel e com estágio de saída com amplificador diferencial [Elaborado pelo autor].
- (d) Proposta de APS 5T em modo logarítmico projetado para redução de FPN com corrente externa ao pixel e com estágio de saída simples com amplificador de corrente de coluna. [Elaborado pelo autor].

Figura 4.1 – Topologias de sensores de pixel ativo investigadas. (a) e (b) são originais e, (c) e (d) modificações propostas com troca de estágios de saída. O pixel, em cada topologia, é delimitado pela linha tracejada.

A eficácia de cada uma das quatro topologias de pixel apresentadas em relação à redução de FPN foi investigada através de simulações de Monte Carlo. Detalhes e discussões relativos aos resultados são apresentados no capítulo 5.

4.2 Configuração de Simulações

Os circuitos e suas configurações foram implementados com base em transistores MOSFET para projeto e simulação de circuitos integrados do *BSIM* em sua versão 3.3 em *SPICE*.

Os modelos de transistores usados incluíram parâmetros estatísticos como o tipo de distribuição, média e desvio padrão. Assim na simulação de Monte Carlo, realizada em número elevado de repetições para produzir dados estatísticos confiáveis - centenas, estes parâmetros são selecionados e especificados aleatoriamente com base na distribuição estatística selecionada para o respectivo transistor [55].

4.3 Critérios de Comparação

O esquema apresentado pela Figura 4.3 demonstra os cinco critérios utilizados para comparação entre topologias de pixeis.

O método proposto por este trabalho utiliza estes critérios a fim de nortear futuras decisões quanto da aplicação das topologias de pixeis analisadas com base em seus respectivos desempenhos.

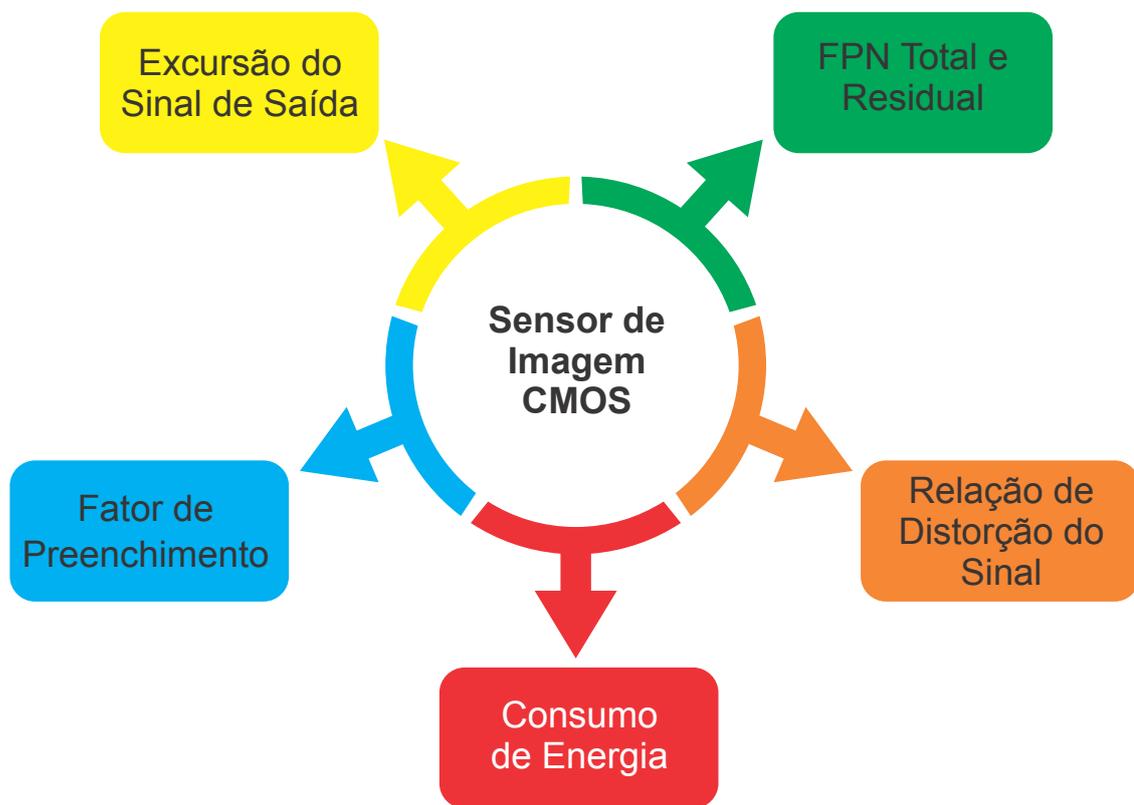


Figura 4.3 – Critérios de Comparação entre Pixeis [Elaborado pelo autor].

Os critérios demonstrados na Figura 4.3 seguem as seguintes premissas de julgamento:

Tabela 4.2 – Premissas de julgamento de critérios [Elaborado pelo autor].

Critério	Julgamento
Excursão do Sinal de Saída	Melhor quando maior
FPN Total e Residual	Melhor quando menor
Razão Sinal-Distorção	Melhor quando maior
Consumo de Energia	Melhor quando menor
Fator de Preenchimento	Melhor quando maior

As justificativas para tais premissas de julgamento são melhor detalhadas nas respectivas seções anteriormente dispostas no Capítulo 2 de fundamentação teórica. Cada critério pode ser detalhadamente visualizado como a seguir: Excursão do Sinal de Saída na seção 2.8.2, FPN na seção 2.9.2, Razão Sinal-Distorção na seção 2.9.3, Consumo de Energia na seção 2.6.5 e Fator de Preenchimento na seção 2.6.2. Outras características também podem ser usadas para aprimorar o método, como: taxa de captura de imagem que influenciará diretamente na velocidade de operação do sensor.

4.4 Modelo para escolha de topologias

As simulações de Monte Carlo realizadas constituem numa etapa inicial necessária para o entendimento do comportamento de cada topologia de pixel. É importante a disposição dos circuitos num banco de testes bem formulado para que os dados sejam gerados de maneira correta e que não se consuma tempo de maneira desnecessária nas simulações. Esta etapa pode também ser constituída pela etapa de caracterização de um preterido chip que contenha os circuitos.

Os dados oriundos das simulações são coletados e dispostos em tabela a fim de gerar informações úteis em etapas posteriores. Destes dados nascem os valores calculados para cada critério.

De posse dos resultados de cada critério obtidos para cada topologia, utilizam-se as informações relativas às topologias após a aplicação da técnica de redução de FPN e dispõem-se tais informações em tabela dispondo os resultados em síntese para fácil visualização das diferenças entre os pixeis investigados através de valores numéricos.

Daí, escolhe-se uma das topologias para que seus resultados demonstrados na tabela sirvam de referência na comparação com as demais topologias investigadas. A escolha de desta topologia referência não segue regra pré-estabelecida sendo um ponto que permite de flexibilidade para a referida escolha.

Tendo uma topologia como referência e de posse das premissas de julgamento utilizadas para cada critério presentes na Tabela 4.2, segue-se o cálculo das diferenças dos resultados entre cada uma das demais topologias com a topologia referência. Por convenção os resultados foram expressos em percentagem. Nota-se que quando dado critério de uma topologia tiver desempenho inferior à topologia de referência, seu resultado será negativo e, no caso contrário, positivo. O cálculo das diferenças entre pixeis é demonstrado na Tabela 4.3. Neste exemplo, uma dada topologia APSBB_02 é utilizada como referência.

Tabela 4.3 – Tabela para cálculo da diferença entre topologias em percentagem tendo APSBB_2 como referência [Elaborado pelo autor].

Critério	APSAA_1	APSAA_2	APSBB_1	APSBB_2
Excursão do Sinal Calibrado	-9%	3%	-12%	0%
FPN Residual	17%	-5%	21%	0%
SDR	9%	4%	4%	0%
Consumo de Energia	1%	-3%	2%	0%
Fator de Preenchimento	6%	3%	1%	0%

Após o cálculo das diferenças, usam-se pontuações para intervalos definidos a partir dos dados informados da Tabela 4.3 conforme pode ser visto na Figura 4.4 que também enfatiza o impacto positivo ou negativo causado pelo sinal resultante dos cálculos de diferenças.

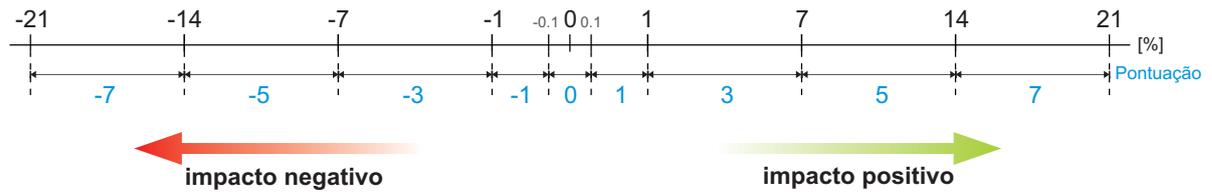


Figura 4.4 – Pontuações por intervalos de percentagem [Elaborado pelo autor].

Vale ressaltar que os sinais resultantes de cálculos dispostos anteriormente na Tabela 4.3 são herdados para a respectiva pontuação obtida em cada critério para cada topologia investigada evidenciando o impacto do resultado obtido da diferença entre as topologias utilizado cada critério adotado.

A Tabela 4.4 demonstra o esquema de pontuação por intervalos de forma resumida.

Tabela 4.4 – Tabela de Pontuações por intervalos de percentagem [Elaborado pelo autor].

Intervalo [%]	Pontuação
$0 < \text{Val}[\%] \leq 0,1$	0
$0,1 < \text{Val}[\%] \leq 1$	1
$1 < \text{Val}[\%] \leq 7$	3
$7 < \text{Val}[\%] \leq 14$	5
$14 < \text{Val}[\%] \leq 21$	7

A Tabela 4.5 demonstra o resultados de pontuação atribuídos a cada topologia extraídos dos intervalos de percentagem de cada um dos critérios estabelecidos bem como a soma total deles.

Tabela 4.5 – Tabela do resultado da soma de pontuações [Elaborado pelo autor].

Critério	APSAA_1	APSAA_2	APSBB_1	APSBB_2
Excursão do Sinal Calibrado	-5	3	-5	0
FPN Residual	7	-3	7	0
SDR	5	3	3	0
Consumo de Energia	0	-3	3	0
Fator de Preenchimento	1	3	1	0
Total	8	3	9	0

Com os resultados fornecidos pelo modelo de comparação, as decisões necessárias ao projeto de sensores de imagem podem ser mais coerentes com o fim desejado de cada circuito. Métodos de análise que utilizem médias ponderadas, por exemplo, onde diferentes pesos podem ser atribuídos a cada critério de julgamento podem ser implementadas. De modo similar, também pode-se escolher quais dos critérios utilizar na comparação entre pixels de acordo com as necessidades. Isto permite uma abrangência ampliada para diferentes cenários de aplicação ou de especificação que privilegiem certos critérios em

relação a outros, ou mesmo a construção de cenários com conjuntos de critérios a livre escolha.

Outro ponto a destacar é a capacidade de diferentes comparações à medida que dados históricos podem compor um banco de dados de comparações. Desta maneira, pode-se comparar uma nova topologia proposta com outras de maneira confiável e flexível, além de potencializar a aplicação deste modelo de comparação.

Assim, este método consiste em uma ferramenta valiosa e eficaz para avaliação de diferenças entre topologias de pixels e técnicas de redução de FPN.

A Figura 4.5 demonstra as etapas que compõem o modelo para escolha de topologias em síntese.



Figura 4.5 – Modelo de comparação entre pixels detalhado por etapas [Elaborado pelo autor].

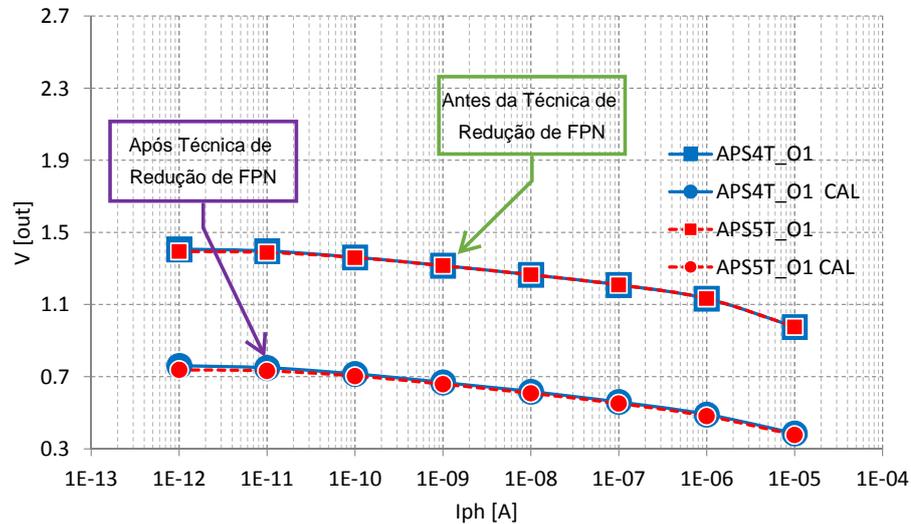
5 Resultados e Discussão

Simulações Monte Carlo para todas as quatro topologias de pixel apresentadas nas Figuras 4.1(a), 4.1(b), 4.1(c) e 4.1(d), foram realizadas para avaliar seus respectivos desempenhos comparando-os uns aos outros, antes e depois da aplicação da técnica de redução de FPN. Para cada topologia foram realizadas 250 execuções com descasamentos em todos os transistores internos e externos a cada pixel. Os descasamentos dos fotodiodos não foram implementados para esta análise devido à ausência de um modelo apropriado para estes dispositivos no processo em questão. Nos resultados de simulações, aqui apresentados, o nível de iluminação do mais escuro para o mais claro é emulado por fotocorrentes (I_{ph}) variando de 1 pA a 10 μ A. A fotocorrente é proporcional ao nível de iluminação a que o fotodiodo é exposto, e flui na mesma direção que a corrente de escuro.

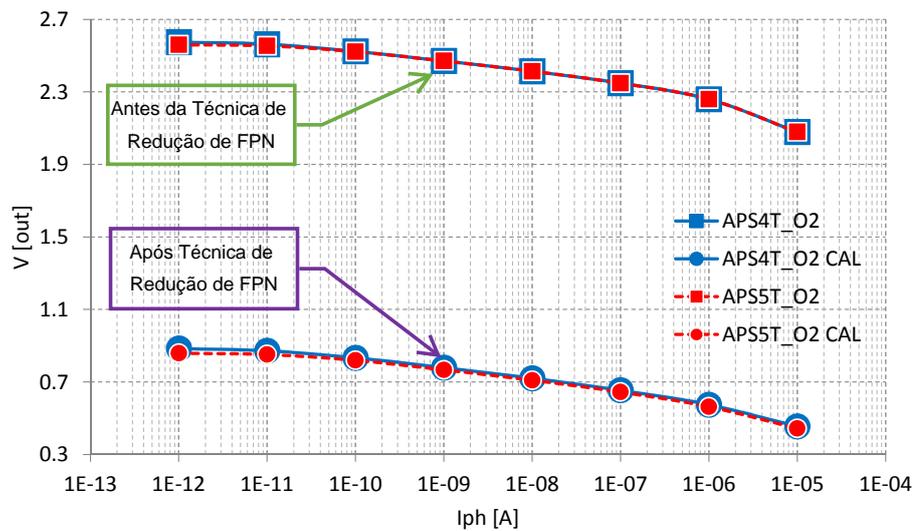
5.1 Excursão do sinal de saída

O valor médio de tensão de saída antes e depois da redução de FPN para os pixels nas Figuras 4.1(a) e 4.1(c) é mostrado nas curvas da Figura 5.1(a). Antes da redução de FPN, o valor de saída é amostrado em S_1 na Figura 4.2(a), e depois da redução o valor de saída é de $(S_1 - S_2)$ na Figura 4.2(a). As curvas nomeadas como “APS4T_O1” e “APS4T_O1 CAL” referem-se, respectivamente, ao valor médio das saídas antes e depois da redução de FPN para o pixel da Figura 4.1(a), e as curvas nomeadas como “APS5T_O1” e “APS5T_O1 CAL” referem-se, respectivamente, ao valor médio das saídas antes e depois da redução de FPN para o pixel da Figura 4.1(d). Estes resultados mostram irrisória diferença entre as saídas fornecidas por estas topologias de pixel quer antes ou após a redução de FPN.

Para os pixels nas Figuras 4.1(b) e 4.1(c), o valor médio de tensão de saída antes e após redução de FPN são mostrados nas curvas da Figura 5.1(b). As curvas nomeadas como “APS4T_O2” e “APS4T_O2 CAL” referem-se, respectivamente, ao valor médio das saídas antes e depois da redução de FPN para o pixel da Figura 4.1(c). As curvas nomeadas como “APS5T_O2” e “APS5T_O2 CAL” referem-se, respectivamente, ao valor médio das saídas antes e depois da redução de FPN para o pixel da Figura 4.1(b). Como no caso anterior, estes resultados mostram diferença irrisória entre as saídas fornecidas por estas topologias de pixel quer antes ou após a redução de FPN.



(a)



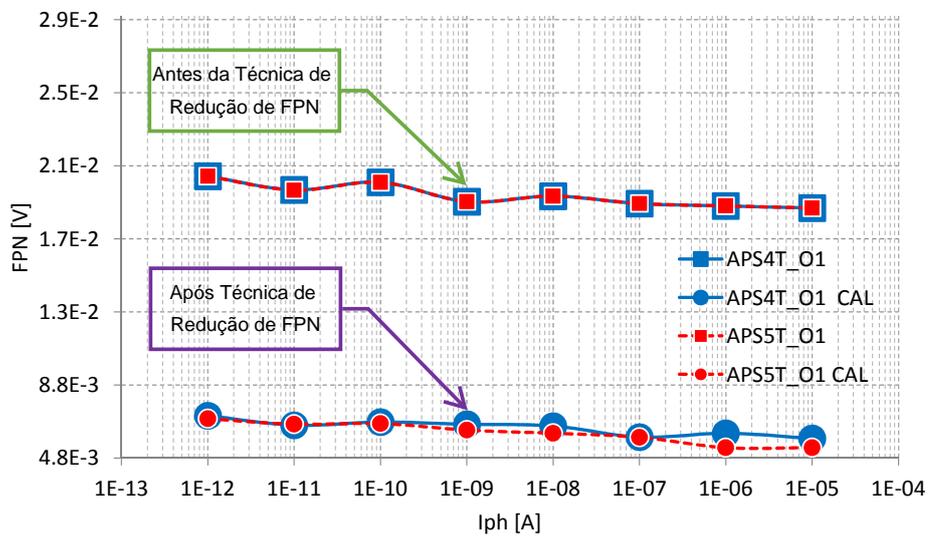
(b)

Figura 5.1 – Valor médio de tensão de saída por fotocorrente dos Sensores de Pixel Ativo em modo logarítmico. Na Figura 5.1(a), com quatro transistores FET na Figura 4.1(a) “APS4T_O1” e “APS4T_O1 CAL”, e com cinco transistores FET na Figura 4.1(d) “APS5T_O1” e “APS5T_O1 CAL”, respectivamente. Na Figura 5.1(b), com quatro transistores FET na Figura 4.1(c) “APS4T_O2” e “APS4T_O2 CAL”, e com cinco transistores FET na Figura 4.1(b) “APS5T_O2” e “APS5T_O2 CAL” respectivamente. [Elaborado pelo autor].

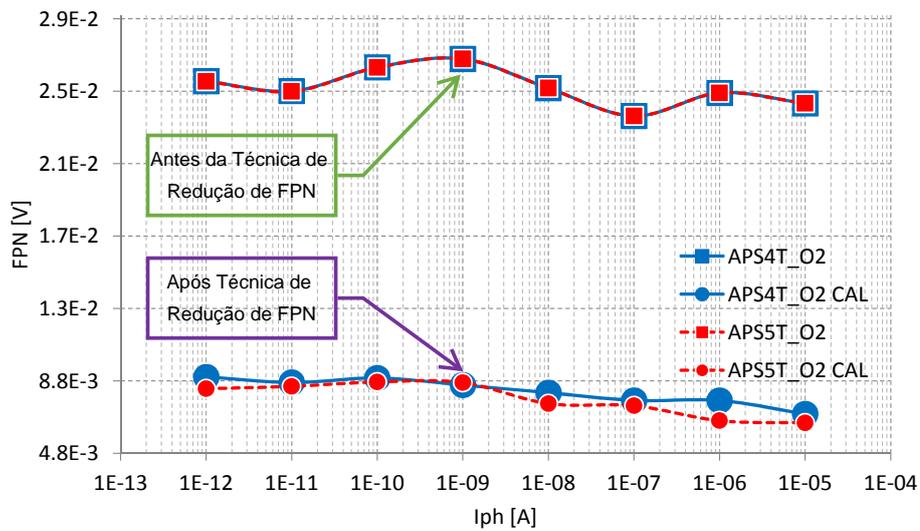
5.2 FPN Total e Residual

O FPN resultante das 250 execuções da simulação de Monte Carlo é determinado pelo desvio padrão da saída do pixel S_1 antes da redução de FPN, e pelo desvio padrão de $(S_1 - S_2)$ após a redução. O processo de cálculo é descrito por [2] e [9].

O FPN total, antes da redução, e o FPN residual, após redução, para os pixels nas Figuras 4.1(a) e 4.1(d) são mostrados nas curvas da Figura 5.2(a). As curvas nomeadas como “APS4T_O1” e “APS4T_O1 CAL” referem-se, respectivamente, ao FPN total e residual para o pixel da Figura 4.1(a). As curvas nomeadas como “APS5T_O1” e “APS5T_O1 CAL” referem-se, respectivamente, ao FPN total e residual para o pixel da Figura 4.1(d). Estes resultados mostram diferença irrisória entre o FPN total e residual fornecidos por estas diferentes topologias que aplicam diferentes técnicas de redução. Portanto, considerando somente estes resultados e que para pixels com as mesmas dimensões e fabricados sob o mesmo rótulo tecnológico, a topologia na Figura 4.1(a) fornece um maior fator de preenchimento que o na Figura 4.1(d), sendo evidente que a primeira é mais adequada para ser utilizada num sensor de imagem.



(a)



(b)

Figura 5.2 – FPN total e residual dos sensores de Pixel Ativo em modo logarítmico. Na Figura 5.2(a), com quatro transistores FET na Figura 4.1(a) “APS4T_O1” e “APS4T_O1 CAL”, e com cinco transistores FET na Figura 4.1(d) “APS5T_O1” e “APS5T_O1 CAL”, respectivamente. Na Figura 5.2(b), com quatro transistores FET na Figura 4.1(c) “APS4T_O2” e “APS4T_O2 CAL”, e com cinco transistores FET na Figura 4.1(b) “APS5T_O2” e “APS5T_O2 CAL” respectivamente. [Elaborado pelo autor].

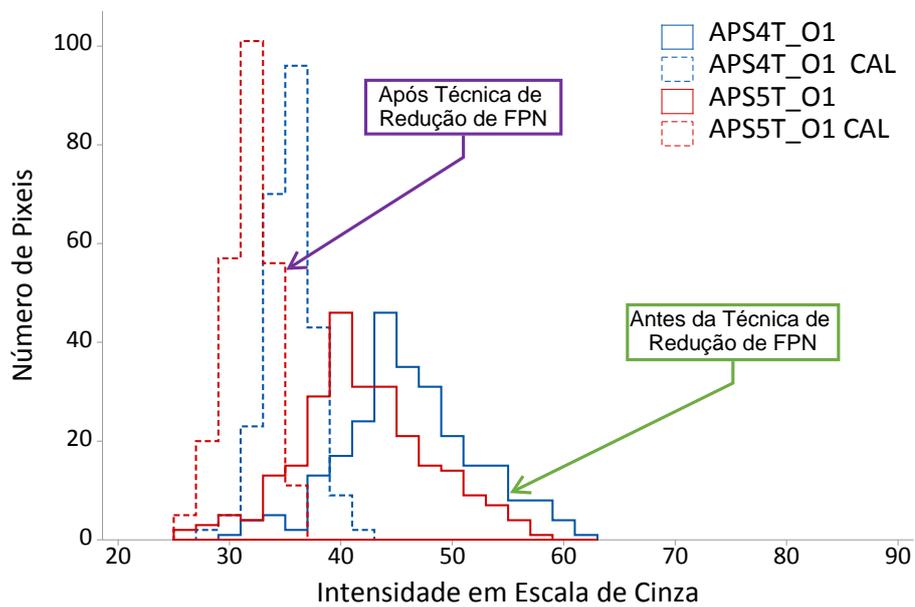
O FPN total e residual para os pixels das Figuras 4.1(b) e 4.1(c) são mostrados nas curvas da Figura 5.2(b). As curvas nomeadas como “APS4T_O2” e “APS4T_O2 CAL” referem-se, respectivamente, ao FPN total e residual para o pixel da Figura 4.1(c), e as curvas nomeadas como “APS5T_O2” e “APS5T_O2 CAL” referem-se, respectivamente, ao FPN total e residual para o pixel da Figura 4.1(b). Como no caso anterior, nota-se irrisória diferença entre o FPN total e residual fornecidos por estas diferentes topologias que aplicam diferentes técnicas de redução. Comparando ambas topologias, levando em conta as mesmas considerações do caso anterior, o pixel na Figura 4.1(c) seria o mais adequado para ser utilizado num sensor de imagem a julgar pelo baixo FPN residual e menor quantidade de transistores.

Os estágios de saída com amplificador diferencial dos pixels nas Figuras 4.1(b) e 4.1(c) supõem a melhoria da excursão do sinal de saída em relação aos com estágios de saída simples com amplificador de corrente dos pixels nas Figuras 4.1(a) e 4.1(d). A melhoria pode ser observada quando se comparam os valores médios de tensão de saída fornecidos por cada topologia quer antes ou após a redução de FPN dos gráficos das Figuras 5.1(a) e 5.1(b). No entanto, essa melhoria é obtida à custa de um maior FPN total e residual que pode ser observada quando se comparam os resultados dos gráficos das Figuras 5.2(a) e 5.2(b).

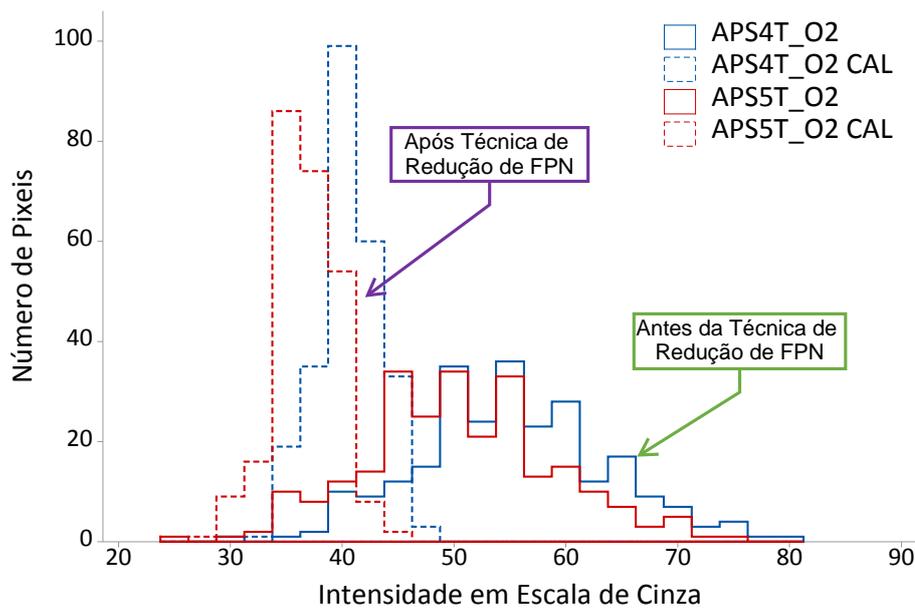
5.2.1 Análise de FPN através de Histogramas

Além dos resultados de FPN total e residual apresentados nas Figuras 5.2(a) e 5.2(b), um meio alternativo de avaliar a qualidade de imagem de um sensor antes e após a redução de FPN é através de seus histogramas para um nível de iluminação específico. Os gráficos de histograma mostram quanto FPN está presente em uma imagem tanto antes quanto após a redução de FPN. Estes gráficos são apresentados em número de pixels por intensidade de escala de cinza, e demonstram que quanto mais estreito é o histograma, menos FPN está presente na imagem. Os histogramas das quatro topologias para uma fotocorrente de 1 nA são apresentados nas Figuras 5.3(a) e 5.3(b).

Na Figura 5.3(a), as curvas nomeadas como “APS4T_O1” e “APS4T_O1 CAL” referem-se aos histogramas de antes e após a redução de FPN para o pixel da Figura 4.1(a). As curvas nomeadas como “APS5T_O1” e “APS5T_O1 CAL” referem-se aos histogramas de antes e após a redução de FPN para o pixel da Figura 4.1(d). O gráfico de histograma para estas topologias de pixel mostram resultados similares aos apresentados pelo FPN total e residual apresentado na Figura 5.2(a), constatando assim a eficácia da técnica aplicada para a redução de FPN.



(a)



(b)

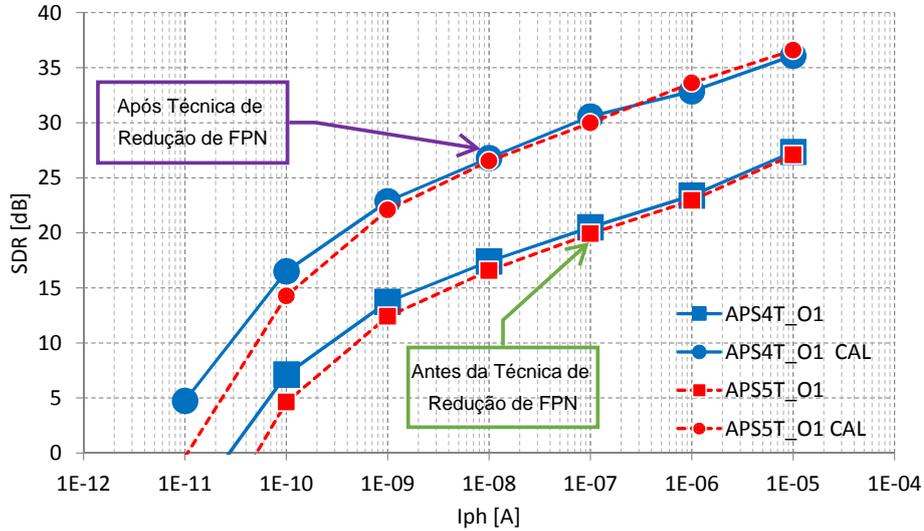
Figura 5.3 – Histograma do número de pixels por intensidade de escala de cinza dos sensores de Pixel ativo em modo logarítmico. Na Figura 5.3(a), com quatro transistores FET na Figura 4.1(a) “APS4T_O1” e “APS4T_O1 CAL”, e com cinco transistores FET na Figura 4.1(d) “APS5T_O1” e “APS5T_O1 CAL”, respectivamente. Na Figura 5.3(b), com quatro transistores FET na Figura 4.1(c) “APS4T_O2” e “APS4T_O2 CAL”, e com cinco transistores FET na Figura 4.1(b) “APS5T_O2” e “APS5T_O2 CAL” respectivamente. [Elaborado pelo autor].

As curvas na Figura 5.3(b) nomeadas como “APS4T_O2” e “APS4T_O2 CAL” referem-se aos histogramas de antes e após a redução de FPN para o pixel da Figura 4.1(c), e as curvas nomeadas como “APS5T_O2” e “APS5T_O2 CAL” referem-se aos histogramas de antes e após a redução de FPN para o pixel da Figura 4.1(b). Os resultados são similares aos discutidos no caso anterior.

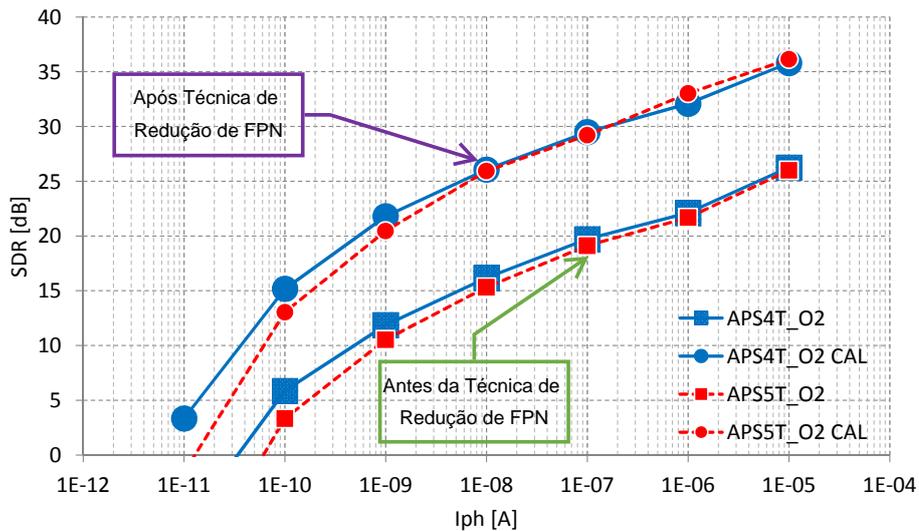
5.3 Razão Sinal-Distorção (SDR)

Embora a complexidade das topologias nas Figuras 4.1(b) e 4.1(c) seja maior que a das topologias nas Figuras 4.1(a) e 4.1(d), estes resultados por si só não permitem julgar que topologia é a melhor. Neste caso, além de levar em conta a área de silício adicional exigida pelos circuitos de cada topologia, faz-se também necessário considerar a razão sinal-distorção (SDR) [2] forçado por cada topologia, e especialmente o SDR após a redução de FPN. O SDR mostra o alcance dinâmico do pixel quando somente distorções espaciais são levadas em conta [12] e quando o ruído temporal não é considerado.

Os gráficos de SDR antes e após a redução de FPN para os pixels nas Figuras 4.1(a) e 4.1(d) são mostrados na Figura 5.4(a). As curvas nomeadas como “APS4T_O1” e “APS4T_O1 CAL” referem-se, respectivamente, ao SDR antes e após a redução de FPN para o pixel da Figura 4.1(a). As curvas nomeadas como “APS5T_O1” e “APS5T_O1 CAL” referem-se, respectivamente, ao SDR antes e após redução de FPN para o pixel da Figura 4.1(d). Estes resultados mostram a melhora da relação após a redução de FPN para ambos os pixels e a melhora do alcance dinâmico no sentido de baixa iluminação em ambos os pixels. Os resultados também mostram que o SDR do pixel na Figura 4.1(a) é levemente melhor, tanto antes quanto após a redução FPN.



(a)



(b)

Figura 5.4 – Valores de SDR para Sensores de Pixel ativo em modo logarítmico. Na Figura 5.4(a), com quatro transistores FET na Figura 4.1(a) e com cinco transistores FET na Figura 4.1(d) respectivamente, antes e após a redução de FPN nas topologias com estágio de saída simples com amplificador de corrente de coluna. Na Figura 5.4(b), com quatro transistores FET na Figura 4.1(c) e com cinco transistores FET na Figura 4.1(b) respectivamente, antes e após a redução de FPN nas topologias com amplificador diferencial no estágio de saída. [Elaborado pelo autor].

Para os pixels nas Figuras 4.1(b) e 4.1(c), os gráficos de SDR antes e após a redução de FPN são mostrados na Figura 5.4(b). As curvas nomeadas como “APS4T_O2” e “APS4T_O2 CAL” referem-se, respectivamente, ao SDR antes e após a redução de FPN para o pixel da Figura 4.1(c), e as curvas nomeadas como “APS5T_O2” e “APS5T_O2 CAL” referem-se, respectivamente, ao SDR antes e após a redução de FPN para o pixel da Figura 4.1(b). Como no caso anterior, estes resultados mostram a melhora da relação após a redução de FPN para ambas topologias de pixel, e a melhora do alcance dinâmico no sentido de baixa iluminação em ambos os pixels. As curvas de SDR também mostram que o pixel na Figura 4.1(c) apresenta resultados levemente melhores, tanto antes quanto após a redução de FPN, que os resultados apresentado pelo pixel na Figura 4.1(b).

Os resultados de SDR para os pixels nas Figuras 4.1(a) e 4.1(d) apresentados na Figura 5.4(a) são ligeiramente melhores do que os dos pixels nas Figuras 4.1(b) e 4.1(c) apresentados na Figura 5.4(b), tanto antes quanto após a redução de FPN. Este conjunto de resultados permite uma melhor decisão para determinar quais topologias são mais adequadas para um sensor de imagem projetado e fabricado num rótulo tecnológico específico, considerando que os pixels devem ter uma dimensão determinado que afetará diretamente seu fator de preenchimento.

De acordo com os resultados apresentados, a complexidade adicional dos pixels das Figuras 4.1(b) e 4.1(c) para implementar ligeira diferença na técnica de redução de FPN não é capaz de produzir respostas melhores. Além disso, a melhora trazida à excursão do sinal devido ao estágio de saída mais complexo dos pixels das Figuras 4.1(b) e 4.1(c) em relação a dos pixels das Figuras 4.1(a) e 4.1(d) não é suficiente para produzir uma melhor resposta de SDR, dado o FPN adicional acrescentado ao sistema. Portanto, salientando que cálculo de SDR engloba os efeitos de Excursão do Sinal de Saída e FPN total e residual, os resultados apresentados mostram que topologias de pixel simples fornecem melhores resultados do que as que empregam circuitos mais complexos.

5.4 Consumo de Energia

Aplicando simulações visando medir o consumo de energia de um ciclo de operação das topologias utilizadas na Figura 4.1, os resultados de corrente média consumida são apresentados na Figura 5.5. No detalhe desta mesma Figura são mostrados os mesmos resultados com ênfase maior às curvas resultantes de fotocorrentes inferiores a $10 \mu\text{A}$.

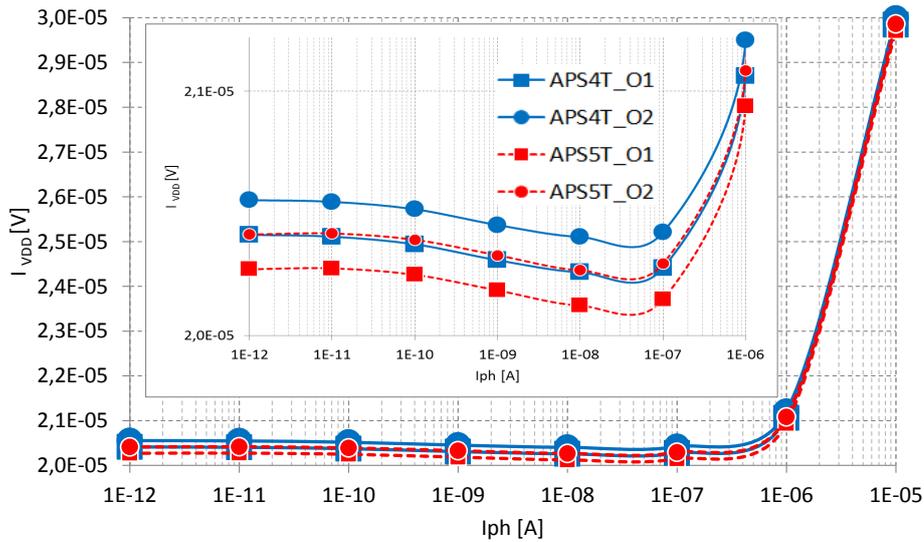


Figura 5.5 – Valor médio de corrente consumida por fotocorrente das topologias de Sensor de Pixel Ativo com quatro e cinco transistores FET em modo logarítmico na Figura 4.1. [Elaborado pelo autor].

Através do produto entre a tensão de alimentação V_{DD} e as correntes médias consumidas, foram geradas as curvas de potência consumida para as topologias utilizadas na Figura 4.1. Os resultados de potência média consumida em um ciclo de operação são apresentados na Figura 5.6. No detalhe desta mesma Figura são mostrados os mesmos resultados com ênfase maior às curvas resultantes de fotocorrentes inferiores a $10 \mu\text{A}$.

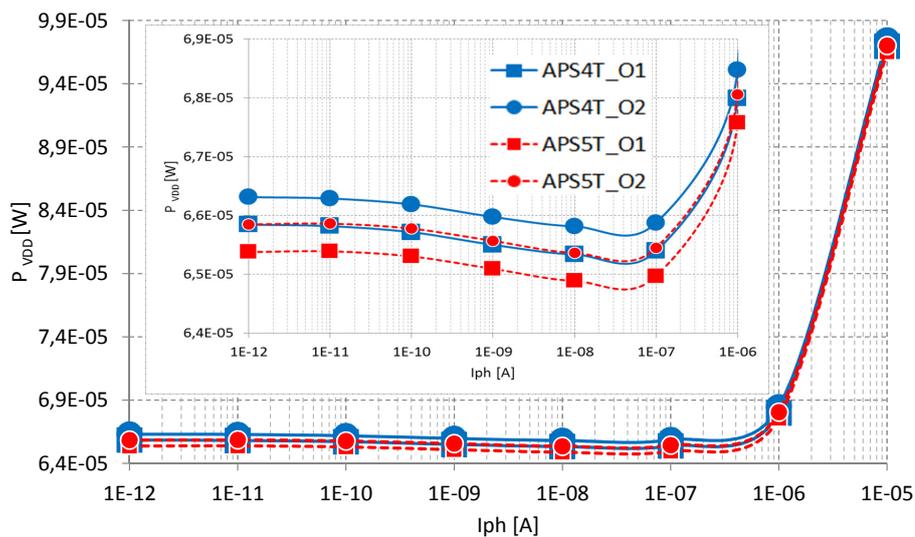


Figura 5.6 – Valor médio de potência consumida por fotocorrente das topologias de Sensor de Pixel Ativo com quatro e cinco transistores FET em modo logarítmico na Figura 4.1. [Elaborado pelo autor].

Das curvas presentes na Figuras 5.5 e 5.6 pode-se perceber o menor consumo médio de potência das topologias que utilizam o estágio de saída simples. Isto é devido à presença

de menor resistividade oferecida pelos transistores que compõem o circuito.

5.5 Fator de Preenchimento

O desenho dos leiautes das topologias com quatro transistores, bem como com cinco transistores foi idealizado no intuito de atender as topologias independentemente do estágio de saída conectado e com base na premissa de que os pixeis estarão em contato direto entre si à medida que são posicionados em uma matriz de pixeis.

A tecnologia utilizada de rótulo 0,35 μm foi previamente citada no item 2.6.8. Aplicou-se no pixel um fotodiodo de junção pn - *parasitic n+p- diode* (*Difusão n, Substrato p, diodo*) da versão 5 de *Berkeley* reversamente polarizado.

Assim, conforme Figura 5.7, o leiaute denominado APS4T atende tanto ao circuito APS4T_O1 quanto ao APS4T_O2 e, conforme Figura 5.8, o leiaute denominado APS5T atende tanto ao circuito APS5T_O1 quanto ao APS5T_O2.

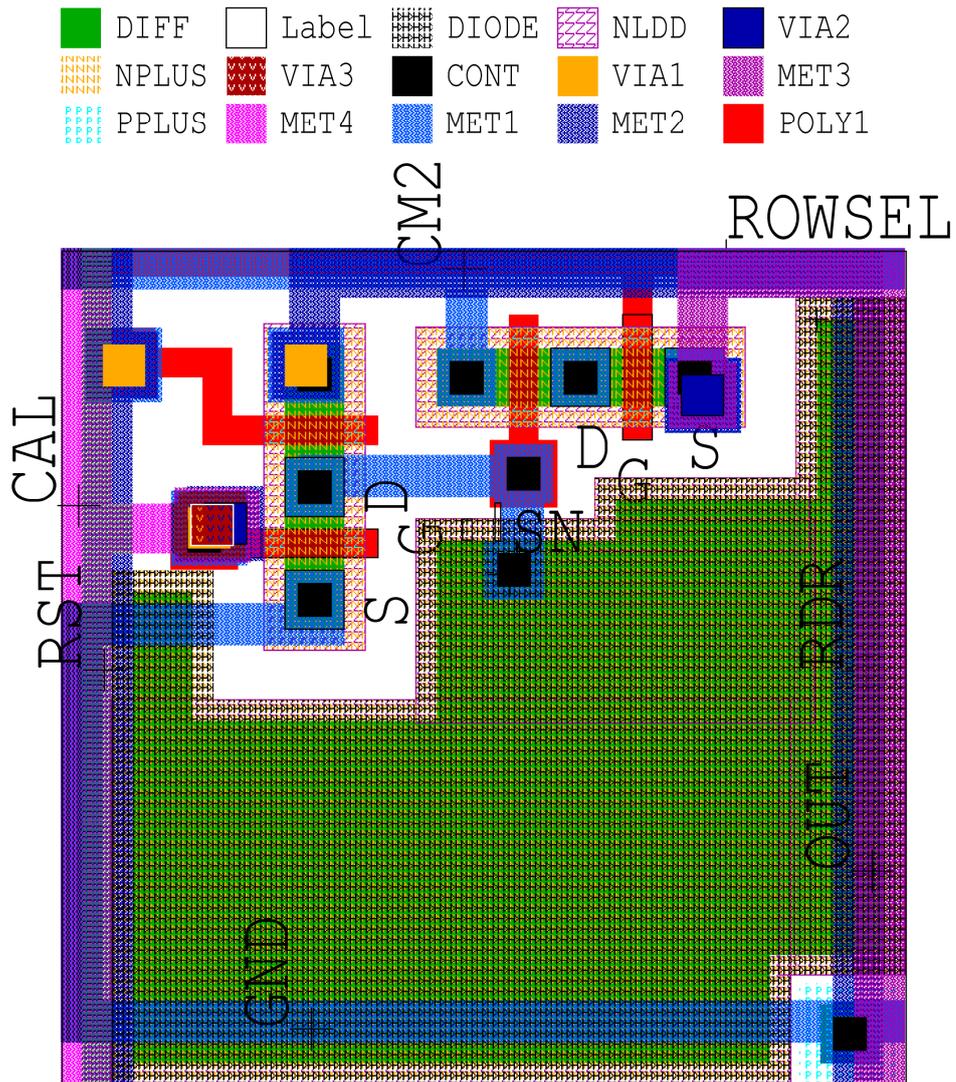


Figura 5.7 – Leiaute APS4T [Elaborado pelo autor].

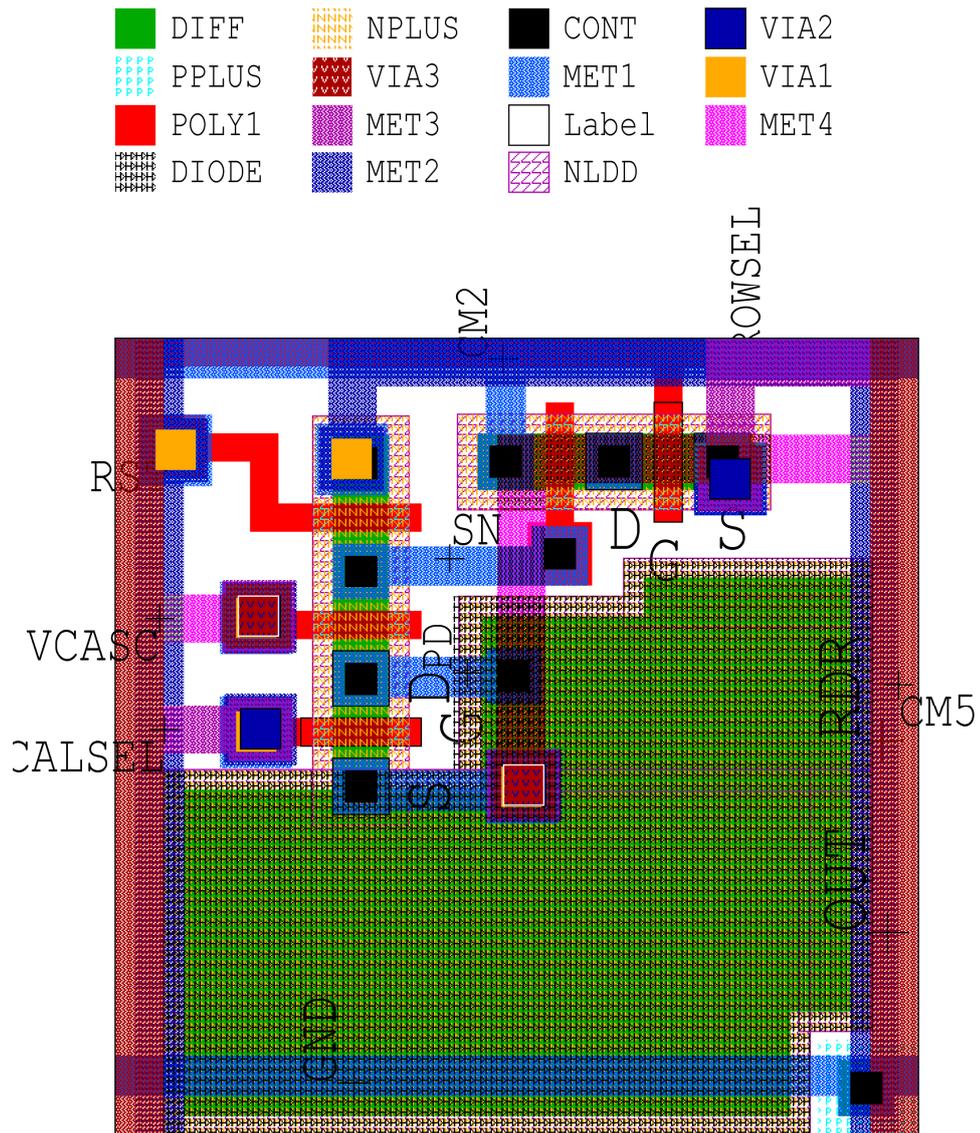


Figura 5.8 – Leiaute APS5T [Elaborado pelo autor].

Tendo em vista que a área total do sensor é de $100 \mu m^2$, o fator de preenchimento obtido para ambos os Leiautes das topologias com quatro e cinco transistores é demonstrado na Tabela 5.1.

Tabela 5.1 – Fator de Preenchimento dos APS4T e 5T [Elaborado pelo autor].

Topologia	Fator de Preenchimento [%]
APS4T	40,46
APS5T	37,91

Neste caso, as topologias 4T teriam necessidade de menor quantidade de conexões, logo menos barramentos estariam presentes na área do pixel e, conseqüentemente maior área fotossensível seria estabelecida.

5.6 Discussão

Seguindo o modelo proposto na seção 4.4 e com base nos resultados das simulações realizadas para cada critério de comparação entre pixels, tem-se o quadro de resumo demonstrado pela Tabela 5.2.

Tabela 5.2 – Comparação de Resultados entre topologias de pixels [Elaborado pelo autor].

Critério	APS4T_O1	APS4T_O2	APS5T_O1	APS5T_O2
Excursão do Sinal Calibrado [mV]	374,78	429,89	361,75	415,10
FPN Residual [mV]	6,45	8,22	6,18	7,79
SDR	24,35	23,40	23,24	22,32
Consumo de Energia [mW]	0,07	0,07	0,07	0,07
Fator de Preenchimento [%]	40,46	40,46	37,91	37,91

Tomando como referência uma das topologias para comparação direta com as demais pode-se ter a diferença entre os valores em percentual. Deste modo, quando a topologia confrontada tiver desempenho melhor que a topologia de referência esta obterá tal percentual expresso em valor positivo. Caso contrário, quando a topologia de referência tiver desempenho melhor, a topologia confrontada obterá percentual expresso em valor negativo.

Tabela 5.3 – Diferença entre topologias em percentagem tendo APS5T_O2 como referência [Elaborado pelo autor].

Critério	APS4T_O1	APS4T_O2	APS5T_O1	APS5T_O2
Excursão do Sinal Calibrado	-9,71%	3,56%	-12,85%	0,00%
FPN Residual	17,16%	-5,56%	20,72%	0,00%
SDR	9,09%	4,83%	4,12%	0,00%
Consumo de Energia	0,07%	-0,61%	0,68%	0,00%
Fator de Preenchimento	6,73%	6,73%	0,00%	0,00%

Usando o esquema apresentado pela Figura 4.4 e pela Tabela 4.4 onde foram estabelecidos intervalos de percentagem com respectivas pontuações, avalia-se o resultado em percentagem oriundo da Tabela 5.3 e, aplica-se a pontuação correspondente herdando o sinal desta tabela. O resultado da aplicação desta pontuação baseada nas classes está demonstrada na Tabela 5.4 que também apresenta a pontuação total obtida por cada topologia.

Tabela 5.4 – Resultado da soma de pontuações [Elaborado pelo autor].

Critério	APS4T_O1	APS4T_O2	APS5T_O1	APS5T_O2
Excursão do Sinal Calibrado	-5	3	-5	0
FPN Residual	7	-3	7	0
SDR	5	3	3	0
Consumo de Energia	0	-1	1	0
Fator de Preenchimento	3	3	0	0
Total	10	5	6	0

Estes resultados possibilitam o julgamento para escolha de qual topologia ou técnica de redução utilizar para projeto. Tanto no formato agregado de pontuação através da soma, como nas pontuações individuais descritos para cada critério de comparação.

Ao aplicar os critérios de comparação entre pixels, as características de todas as topologias analisadas podem ter seus respectivos desempenhos medidos de maneira única. Isto infere em importante característica no ponto de vista de padronização de parâmetros relevantes a sensores de imagem em modo logarítmico, uma vez que os resultados expressos por cada critério potencializam o julgamento de que topologia é mais adequada para determinadas aplicações.

Supondo o lançamento de um novo sensor de imagem em modo logarítmico, a equipe de projetistas pode definir previamente os requisitos necessários para a aplicação. Com isso, a escolha, priorização e ponderação dos critérios pode ser agregada com o intuito de analisar o referido sensor com outros já presentes no mercado. Os resultados desta comparação expressaram as vantagens e desvantagens deste sensor em relação aos demais e direciona que ações a equipe de engenharia precisa tomar a fim de potencializar os pontos fortes e atenuar, mitigar ou eliminar os pontos fracos.

Desta forma, o projetista pode fazer uso deste modelo para que as decisões necessárias sejam feitas de maneira concisa e com base justificável.

6 Conclusão

Uma metodologia eficaz para realizar comparação cruzada entre pixels projetados com diferentes topologias, empregando diferentes técnicas de redução de FPN e fabricadas na mesma tecnologia, foi apresentada neste trabalho. A metodologia foi baseada em critérios de comparação como excursão do sinal de saída, FPN total e residual, resultados de SDR, consumo de energia e fator de preenchimento. Estes resultados foram fornecidos por simulações de Monte Carlo das topologias de pixel levadas em conta. Os resultados mostram que usando a metodologia é possível tomar decisões razoáveis de qual topologia de pixel aplicar para o projeto de um sensor de imagem fabricado numa tecnologia específica, considerando-se que, independentemente da topologia empregada, os pixels devem ter dimensões fixas.

Com base nos resultados obtidos na seção 5.6, analisando a Tabela 5.4 pode-se obter o total de pontuação de cada topologia oriunda da soma das respectivas notas antes tabuladas. Daí, comparando estes valores, o APS4T_O1 obteve maior pontuação. Isto indica que esta topologia possui características com melhor desempenho para a maioria dos critérios de comparação adotados entre pixels. Da mesma forma, pode-se perceber que as topologias que utilizam o estágio de saída simples apresentaram melhores pontuações no quadro geral em relação as que utilizam estágio de saída com amplificador diferencial.

Caso deseje-se avaliar critérios dispostos na Tabela 5.2 individualmente e a livre escolha dependendo do cenário da aplicação, pode-se perceber quais as vantagens e desvantagens de cada topologia. Quando analisa-se o critério de excursão do sinal calibrado, notavelmente as topologias com saída diferencial apresentam melhor resultado que as demais. Agregando o critério de SDR, percebe-se o melhor desempenho das topologias que utilizam quatro transistores. Assim, seguindo uma dada lógica de priorização de importância de critérios, pode-se montar uma estrutura de análise que direcione para a melhor decisão de escolha.

Conseqüentemente, com o contínuo avanço tecnológico, a justificativa proposta pela metodologia alcança destaque e relevância, uma vez que a comparação entre topologias de circuitos em modo logarítmico já propostas ou a serem propostas podem ser comparadas numa plataforma de parâmetros comuns. As características inerentes a cada circuito podem ser mantidas e aquelas comuns entre eles estarão num mesmo ambiente capaz de assegurar as mesmas condições de análise a todos eles. Sem ruídos aparentes ou influências externas que comprometam o julgamento ou mesmo o desviem de maneira tendenciosa e/ou parcial.

Com esta facilidade de expressar informações para julgamento, a metodologia proposta torna-se ferramenta importante para a projeto de sensores de imagem e acarreta,

por conseguinte, na melhoria de outros indicadores de desempenho vitais para companhias que atuam neste mercado.

6.1 Principais Contribuições

A metodologia de comparação entre pixels proposta neste trabalho apresenta algumas de suas principais contribuições a seguir:

- Disponibilização de método de comparação entre pixels em modo logarítmico com base em seus respectivos desempenhos em critérios previamente estabelecidos;
- Redução do tempo necessário para projeto de sensores de imagem devido ao acesso a informações relevantes de diferentes topologias;
- Possibilidade de melhoria no desempenho com a evolução do estado-da-arte de sensores de imagem;

6.2 Trabalhos Futuros

Como avanço no método de comparação entre pixels apresentado neste trabalho será adicionado um novo critério a fim de evidenciar diferenças entre pixels. Trata-se da resposta em frequência onde pode-se definir que frequência de quadros pode ser usada.

Além disso, resultados experimentais são necessários para afirmar a eficácia do método de comparação cruzada aqui apresentado. Não obstante, o método apresentado é útil para tomar uma decisão razoável de qual topologia de pixel empregar durante o projeto de um sensor de imagem. Além disso, a metodologia apresentada é útil não somente para avaliar qual topologia de pixel escolher, mas também qual técnica de redução de FPN utilizar.

Após a etapa de simulações, análise de dados e demonstração de eficácia do método apresentado neste trabalho, será realizado o leiaute de cada uma das quatro topologias que serviram de base de investigação. Estes leiautes farão parte de um projeto de chip a ser fabricado a fim de se obter dados de experimentos práticos que evidenciem e confirmem os resultados obtidos em simulações anteriormente.

Sabendo do alto custo para a fabricação de chips, tal fabricação será buscada junto a programas que disponibilizam a fabricação de pequenos projetos acadêmicos e industriais em conjunto a fim de amortizar o custo entre os clientes envolvidos.

Assim, a Figura 6.1 demonstra macroscopicamente as próximas etapas a serem realizadas como continuação da pesquisa do modelo de comparação proposto por este trabalho.

Vale ressaltar que após a etapa de caracterização do chip presente na Figura 6.1, os dados levantados de medições alimentarão o fluxo abordado pela Figura 4.5 em substituição à primeira etapa deste relativo às simulações de Monte Carlo.

Terminado este fluxo de aplicação do modelo de comparação entre pixels, desta vez com o uso de dados de medições, ocorrerá a comparação entre os resultados demonstrados oriundos de simulações e de medições com o fim de confrontar a confiabilidade do modelo proposto por este trabalho.



Figura 6.1 – Etapas da pesquisa a serem realizadas futuramente. [Elaborado pelo autor].

Referências

- [1] GAMAL, A. E.; ELTOUKHY, H. CMOS image sensors. *Circuits and Devices Magazine, IEEE*, v. 21, n. 3, p. 6–20, maio 2005. ISSN 8755-3996.
- [2] CRUZ, C. A. de M. *Simplified Wide Dynamic Range CMOS Image Sensor with 3T APS Reset-Drain Actuation*. Tese (Doutorado) — Universidade Federal de Minas Gerais, Belo Horizonte-MG, Brazil, 2014.
- [3] LABONNE, E.; SICARD, G.; RENAUDIN, M. An on-pixel FPN reduction method for a high dynamic range CMOS imager. In: *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*. [S.l.: s.n.], 2007. p. 332–335.
- [4] CHOUBEY, B. et al. An Electronic-Calibration Scheme for Logarithmic CMOS Pixels. *Sensors Journal, IEEE*, v. 6, n. 4, p. 950–956, ago. 2006. ISSN 1530-437X.
- [5] AMHAZ, H.; SICARD, G. A high output voltage swing logarithmic image sensor designed with on chip FPN reduction. In: *Ph.D. Research in Microelectronics and Electronics (PRIME), 2010 Conference on*. [S.l.: s.n.], 2010. p. 1–4.
- [6] CRUZ, C. de M. et al. Voltage Mode FPN Calibration in the Logarithmic CMOS Imager. *Electron Devices, IEEE Transactions on*, v. 62, n. 8, p. 2528–2534, ago. 2015. ISSN 0018-9383.
- [7] KAVADIAS, S. et al. A logarithmic response CMOS image sensor with on-chip calibration. *Solid-State Circuits, IEEE Journal of*, v. 35, n. 8, p. 1146–1152, ago. 2000. ISSN 0018-9200.
- [8] NI, Y.; MATOU, K. A CMOS log image sensor with on-chip FPN compensation. In: *Solid-State Circuits Conference, 2001. ESSCIRC 2001. Proceedings of the 27th European*. [S.l.: s.n.], 2001. p. 101–104.
- [9] CRUZ, C. de M. et al. FPN Attenuation by Reset-Drain Actuation in the Linear-Logarithmic Active Pixel Sensor. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, v. 61, n. 10, p. 2825–2833, out. 2014. ISSN 1549-8328.
- [10] CHOUBEY, B.; COLLINS, S. Fixed pattern noise correction for wide dynamic range linear-logarithmic pixels. In: *50th Midwest Symposium on Circuits and Systems, 2007. MWSCAS 2007*. [S.l.: s.n.], 2007. p. 1169–1172.
- [11] CHOU, W.-F. et al. A Linear-Logarithmic CMOS Image Sensor With Pixel-FPN Reduction and Tunable Response Curve. *Sensors Journal, IEEE*, v. 14, n. 5, p. 1625–1632, maio 2014. ISSN 1530-437X.
- [12] GUO, J.; SONKUSALE, S. A High Dynamic Range CMOS Image Sensor for Scientific Imaging Applications. *IEEE Sensors Journal*, v. 9, n. 10, p. 1209–1218, out. 2009. ISSN 1530-437X.
- [13] SPIVAK, A. et al. Wide-Dynamic-Range CMOS Image Sensors – Comparative Performance Analysis. *IEEE Transactions on Electron Devices*, v. 56, n. 11, p. 2446–2461, nov. 2009. ISSN 0018-9383.

- [14] SKORKA, D. J. O. Toward a digital camera to rival the human eye. *Journal of Electronic Imaging - J ELECTRON IMAGING*, v. 20, n. 3, 2011. ISSN 1017-9909.
- [15] MOINI, A. *Mismatch*. 1997. Centre for High Performance Integrated Technologies and Systems (CHIPTEC). Disponível em: <https://www.iee.et.tu-dresden.de/iee/analog/papers/mirror/visionchips/vision_chips/mismatch.html>. Acesso em: 23-10-2015.
- [16] WESTE, N.; HARRIS, D. *CMOS VLSI Design: A Circuits and Systems Perspective*. 4. ed. [S.l.]: Addison Wesley, 2011. ISBN 978-0-321-54774-3.
- [17] MOHSENFAR, S.; SHAHROKHABADI, M. H. Gate Stack High-k Materials for Si-Based MOSFETs Past, Present, and Futures. *Microelectronics and Solid State Electronics*, p. 12–24, 2015. ISSN 2324-6456. Disponível em: <<http://journal.sapub.org/msse>>.
- [18] SEDRA, A. S.; SMITH, K. C. *Microelectronic Circuits*. 6. ed. New York: Oxford University Press, 2009. ISBN 978-0-19-532303-0.
- [19] KLIMACH, H. *Modelo do Descasamento (Mismatch) entre Transistores MOS*. Tese (Doutorado) — Universidade Federal de Santa Catarina, Florianópolis, mar. 2008.
- [20] EMVA Standard 1288. European Machine Vision Association, 2012. Disponível em: <http://www.emva.org/cms/upload/Standards/Standard_1288/EMVA1288-3.1rc.pdf>. Acesso em: 16-11-2015.
- [21] OHTA, J. *Smart CMOS Image Sensors and Applications*. CRC Press, 2007. ISBN 978-0-8493-3681-2. Disponível em: <<https://www.crcpress.com/Smart-CMOS-Image-Sensors-and-Applications/Ohta/9780849336812>>.
- [22] THEUWISSEN, A. CMOS image sensors: State-of-the-art and future perspectives. In: *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*. [S.l.: s.n.], 2007. p. 21–27.
- [23] LAI, L.-W.; KING, Y.-C. A novel logarithmic response CMOS image sensor with high output voltage swing and in-pixel fixed pattern noise reduction. In: *ASIC, 2002. Proceedings. 2002 IEEE Asia-Pacific Conference on*. [S.l.: s.n.], 2002. p. 105–108.
- [24] TANG, F.; BERMAK, A. A 4t Low-Power Linear-Output Current-Mediated CMOS Image Sensor. *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, v. 19, n. 9, p. 1559–1568, set. 2011. ISSN 1063-8210.
- [25] RIORDAN, M.; HODDESON, L. *Crystal Fire: The Invention of the Transistor and the Birth of the Information Age*. New York: W. W. Norton & Co, 1998.
- [26] Willard Sterling Boyle e George Elwood Smith. *Buried channel charge coupled devices*. 1974. US Patent 3,792,322.
- [27] THE 2009 Nobel Prize in Physics - Press Release. Disponível em: <http://www.nobelprize.org/nobel_prizes/physics/laureates/2009/press.html>.
- [28] Michael Francis Tompsett. *Charge transfer imaging devices*. Classificação nos Estados Unidos 365/114, 257/E27.154, 348/249, 257/230, 257/231, 377/57, 377/53, 365/183; Classificação internacional G11C19/28, H01L27/148; Classificação cooperativa G11C19/282, H01L27/14831; Classificação europeia H01L27/148C, G11C19/28B.

- [29] Eric R. Mendis Fossum. *Active pixel sensor with intra-pixel charge transfer*. 1995. Disponível em: <<http://ntrs.nasa.gov/search.jsp?R=20080004739>>.
- [30] SMITH, S. *The Scientist & Engineer's Guide to Digital Signal Processing*. 2. ed. San Diego, Calif: California Technical Pub, 1999. ISBN 978-0-9660176-3-2. Disponível em: <DSPguide.com>.
- [31] RASHIDIAN, B.; FOX, E. *Next-Generation CMOS Redefines Trade-Offs for Inspection*. Teledyne Dalsa, 2012. Disponível em: <<http://www.photonics.com/Article.aspx?AID=50306>>.
- [32] pco. imaging. *pixel size & sensitivity*. pco. imaging, 2010. Disponível em: <http://www.pco.de/fileadmin/user_upload/db/download/kb_pixel_size_sensitivity_20100721.pdf>. Acesso em: 24-10-2015.
- [33] RASHIDIAN, B.; FOX, E. *The Evolution of CMOS Imaging Technology*. 2011. Disponível em: <http://info.teledynedalsa.com/acton/attachment/14932/f-03fe/1/-/-/-/-/EvolutionofCMOS_Technology_wp.pdf>. Acesso em: 26-10-2015.
- [34] Sony Corporation. *CCD and CMOS Image Sensors: A Comprehensive Guide for Professional Videographers*. Sony Corporation, 2008. Disponível em: <www.sony.com/professional>.
- [35] HOLST, G. *View to the future – CCD and CMOS sensors today and tomorrow*. pco. imaging, 2004. Disponível em: <http://www.pco.de/fileadmin/user_upload/pco-publications/pco_pub_20041105_Laser_Photonik_EN_pco_0411.pdf>. Acesso em: 26-10-2015.
- [36] Silicon Imaging. *An Introduction to CMOS Image Sensor Technology*. 1997. Disponível em: <<http://www.siliconimaging.com/ARTICLES/CMOS%20PRIMER.htm>>. Acesso em: 26-10-2015.
- [37] Point Grey. *Sony Pregius Global Shutter CMOS Imaging Performance*. Point Grey Innovation in Imaging, 2015. Disponível em: <<http://www.ptgrey.com/support/downloads/10414?>>
- [38] INTRODUCTION to Modulation Transfer Function. 2016. Disponível em: <<http://www.edmundoptics.com/resources/application-notes/optics/introduction-to-modulation-transfer-function/>>. Acesso em: 2016-06-14.
- [39] ITRS 2.0 Home Page. International Technology Roadmap for Semiconductors 2013 Edition. 2016. Disponível em: <<http://www.itrs2.net/>>. Acesso em: 17-05-2016.
- [40] AG, a. *ams*. 2016. Disponível em: <<http://ams.com/eng/Products/Full-Service-Foundry/Process-Technology/CMOS/0.35-m-CMOS-process>>. Acesso em: 29-01-2016.
- [41] AUSTRIAMICROSYSTEMS 0.35 um CMOS (C35). 2015. Disponível em: <http://www.europractice-ic.com/docs/austria_datasheets/035umCMOS_C35_2.pdf>. Acesso em: 17-05-2016.
- [42] PALAKODETY, A. *CMOS Active Pixel Sensors for Digital Cameras: Current State-of-The-Art*. Tese (Doutorado) — University of North Texas, maio 2007.

- [43] NOBLE, P. Self-scanned silicon image detector arrays. *IEEE Transactions on Electron Devices*, v. 15, n. 4, p. 202–209, abr. 1968. ISSN 0018-9383. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1475069>>.
- [44] CHOU, W.-F.; YEH, S.-F.; HSIEH, C.-C. A 143db 1.96% FPN linear-logarithmic CMOS image sensor with threshold-voltage cancellation and tunable linear range. In: *Sensors, 2012 IEEE*. [S.l.: s.n.], 2012. p. 1–4.
- [45] TU, N.; HORNSEY, R.; INGRAM, S. Cmos active pixel image sensor with combined linear and logarithmic mode operation. In: *Electrical and Computer Engineering, 1998. IEEE Canadian Conference on*. [S.l.: s.n.], 1998. v. 2, p. 754–757 vol.2. ISSN 0840-7789.
- [46] Jaroslav Hyneczek, Eric C. Fox e Douglas R. Dykaar. *Sensor pixel with linear and logarithmic response*. 2001. US6323479 B1. US Patent 6,323,479. Disponível em: <<http://ip.com/pat/US6323479>>.
- [47] Martin Wány e CH Schindellegi. *Photodetector and method for detecting radiation*. 2004. US 6815685 B2. US Patent 6,815,685. Disponível em: <<http://ip.com/pat/US6815685>>.
- [48] HU, C. *Modern Semiconductor Devices for Integrated Circuits*. 1. ed. Upper Saddle River, N.J: Prentice Hall, 2009. ISBN 978-0-13-608525-6.
- [49] ISO. *ISO 15739:2013 - Photography – Electronic still-picture imaging – Noise measurements*. 2013. Disponível em: <https://www.iee.et.tu-dresden.de/iee/analog/papers/mirror/visionchips/vision_chips/mismatch.html>. Acesso em: 11-02-2016.
- [50] HAYKIN, S. *Sistemas de Comunicação*. [S.l.]: Bookman, 2004. ISBN 978-85-7307-936-4.
- [51] GAMAL, A. E. *High dynamic range image sensors*. 2002. Disponível em: <http://www-isl.stanford.edu/~abbas/group/papers_and_pub/isscc02_tutorial.pdf>. Acesso em: 05-08-2015.
- [52] pco. imaging. *snr – signal-to-noise-ratio*. pco. imaging, 2005. Disponível em: <http://www.pco.de/fileadmin/user_upload/db/download/pco_cooKe_kb_snr_0504.pdf>.
- [53] SPICE. 2013. Page Version ID: 34622483. Disponível em: <<https://pt.wikipedia.org/w/index.php?title=SPICE&oldid=34622483>>. Acesso em: 2015-12-01.
- [54] SHEU, B. et al. Bsim: Berkeley short-channel igfet model for mos transistors. *Solid-State Circuits, IEEE Journal of*, v. 22, n. 4, p. 558–566, Aug 1987. ISSN 0018-9200.
- [55] MAKSIMOVIC, D. *Mismatch effects in Analog CMOS IC design*. 2008. Disponível em: <ecee.colorado.edu/~ecen4827>. Acesso em: 07-11-2015.
- [56] GYVEZ, J. P. de; RODRIGUEZ-MONTANES, R. Threshold voltage mismatch (Δv_t) fault modeling. In: *VLSI Test Symposium, 2003. Proceedings. 21st*. [S.l.: s.n.], 2003. p. 145–150. ISSN 1093-0167.
- [57] JAEGER, R. C.; BLALOCK, T. N. *Microelectronic Circuit Design*. 4. ed. [S.l.]: McGraw-Hill, 2010. ISBN 978-0-07-338045-2.
- [58] MOORE, D. S.; NOTZ, W. I.; FLIGNER, M. A. *The Basic Practice of Statistics*. 6. ed. [S.l.]: W. H. Freeman and Company, 2013.

- [59] BRASSARD, M. et al. *The Six Sigma Memory Jogger II*. 1. ed. United States of America: GOAL/QPC, 2002. ISBN 1-57681-044-5.
- [60] BILLINTON, R.; LI, W. Elements of Monte Carlo Methods. In: *Reliability Assessment of Electric Power Systems Using Monte Carlo Methods*. Springer US, 1994. p. 33–73. ISBN 978-1-4899-1348-7 978-1-4899-1346-3. DOI: 10.1007/978-1-4899-1346-3_3. Disponível em: <http://link.springer.com/chapter/10.1007/978-1-4899-1346-3_3>.
- [61] HARA, K. et al. A linear-logarithmic CMOS sensor with offset calibration using an injected charge signal. In: *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*. [S.l.: s.n.], 2005. p. 354–603 Vol. 1.