

UNIVERSIDADE FEDERAL DO AMAZONAS – UFAM
FACULDADE DE TECNOLOGIA – FT
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA - PPGE

WARITON PEREIRA DE SOUZA

**ESTUDO DE TOPOLOGIAS DE CIRCUITOS DE
CONTROLE PARA REDUÇÃO DA DEGRADAÇÃO DO
SINAL DE SAÍDA DO CIRCUITO DE PÍXEL 3T-APS**

MANAUS
2020

WARITON PEREIRA DE SOUZA

ESTUDO DE TOPOLOGIAS DE CIRCUITOS DE
CONTROLE PARA REDUÇÃO DA DEGRADAÇÃO DO
SINAL DE SAÍDA DO CIRCUITO DE PÍXEL 3T-APS

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Amazonas (UFAM) como requisito necessário para obtenção do título de mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Carlos Augusto de Moraes Cruz

Ficha Catalográfica

Ficha catalográfica elaborada automaticamente de acordo com os dados fornecidos pelo(a) autor(a).

S729e Souza, Wariton Pereira de
Estudos de topologias de circuitos de controle para redução da
degradação do sinal de saída do circuito de píxel 3T-APS / Wariton
Pereira de Souza . 2020
50 f.: 31 cm.

Orientador: Carlos Augusto de Moraes Cruz
Dissertação (Mestrado em Engenharia Elétrica) - Universidade
Federal do Amazonas.

1. Resistividade. 2. Degradação. 3. Circuitos de Controle de Píxel.
4. Sinal de Controle ERDR. I. Cruz, Carlos Augusto de Moraes. II.
Universidade Federal do Amazonas III. Título

AGRADECIMENTOS

Ao Centro de Tecnologia Eletrônica e da Informação – CETELI/UFAM pela disponibilização de infraestrutura para a formação teórica desse trabalho.

Ao professor Carlos Augusto Cruz pela orientação, apoio e incentivo ao desenvolvimento deste trabalho.

Ao professor Eduardo Cotta pela disponibilização do laboratório de Óptica de Materiais para a realização de estudos práticos e experimentos com o chip IR2.

RESUMO

Este trabalho apresenta um estudo sobre topologias de circuitos de controle para redução da degradação do sinal de saída do circuito de píxel 3T-APS (Sensor de Píxel Ativo de Três Transistores), devido à resistividade do transistor de reset que se localiza dentro do píxel. O trabalho é dividido em três cenários: estudo da descarga de um píxel utilizando fontes ideais de alimentação e de sinais de controle, estudo da descarga de um píxel utilizando circuitos eletrônicos transistorizados que geram os sinais de controle e circuitos divisores de tensão que geram níveis mínimos de referência e, por último, a apresentação de uma nova topologia de circuito de controle, incluindo avaliação e comparação da descarga do píxel da topologia proposta com a existente.

Também serão investigados os possíveis efeitos deletérios que podem ocorrer devido à variação de temperatura incidente sobre o píxel, a qual se evidenciará por meio da ferramenta de Monte Carlo.

Palavras Chave: Resistividade, Degradação, Circuitos de Controle de Píxel, Sinal de Controle ERDR

ABSTRACT

This work presents a study on topologies of control circuits to reduce the degradation of the output signal of the 3T-APS pixel circuit (Active Three Sensor Transistors), due to the resistivity of the reset transistor that is located inside the pixel. The work is divided into three scenarios: studying the discharge of a pixel using ideal sources of power and control signals, studying the discharge of a pixel using transistorized electronic circuits that generate the control signals and voltage divider circuits that generate minimum levels reference and, finally, the presentation of a new control circuit topology, including evaluation and comparison of the pixel discharge of the proposed topology with the existing one.

The possible deleterious effects that may occur due to the temperature variation on the pixel will also be investigated, as evidenced by the Monte Carlo tool.

Key Words: Resistivity, Degradation, Pixels Control Circuits, Control Signal ERDR

LISTA DE FIGURAS

Figura 1 - Estrutura interna do píxel 3T-APS.....	5
Figura 2 - Diagrama em blocos do sensor de imagem [4].	7
Figura 3 - Diagrama em blocos do circuito Rowsel [4].	8
Figura 4 - Diagrama em blocos do circuito Colsel [4].	8
Figura 5 - Diagrama em blocos TGATE [4].	9
Figura 6 - Diagrama em blocos do circuito RDR_RST [4].	10
Figura 7 - Esquema elétrico da matriz de sensores [4].	11
Figura 8 - À esquerda, estrutura total do Chip e ao lado a matriz de píxel do sensor ampliada [2].	11
Figura 9 - Estrutura de um píxel da matriz [5].	12
Figura 10 - Sinais de controle RST e RDR aplicados ao Gate e Dreno do transistor M1, respectivamente [5]. ..	13
Figura 11 - Modelagem do fotodiodo do píxel [7].	13
Figura 12 - Resposta do píxel para diferentes níveis de fotocorrente [4].	14
Figura 13 - Transistor nMOS (a) e Transistor pMOS (b) [18].	17
Figura 14 - Corte transversal de um circuito integrado CMOS [18].	18
Figura 15 - (a) Diagrama esquemático 3TAPS; (b) Layout de um píxel 10 μ m x 10 μ m e fator de preenchimento de 56%	20
Figura 16 - Esquemático do transistor utilizado nos circuitos de controle [27].	20
Figura 17 - Píxel 3TAPS com fontes ideais.....	22
Figura 18 - Sinais de controle aplicados ao píxel da figura 17 [12].	22
Figura 19 - Curvas de tensão RST, RDR, SN e OUT [autoria própria].	24
Figura 20 - Tempo de decaimento do nó SN usando todas as condições ideais [autoria própria].	24
Figura 21 - Divisores de tensão (a), Circuitos geradores dos sinais RST (b) e RDR (c).	25
Figura 22 - Níveis de tensão de referência gerados pelos divisores de tensão [autoria própria].	26
Figura 23 - Resposta do píxel (V_{sn}) com os sinais RST, RDR e níveis de referência [autoria própria].	27
Figura 24 - Tempo de decaimento do nó V_{sn} usando os circuitos de apoio geradores de RST e RDR [autoria própria].	27
Figura 25 - Modelo de píxel com as resistências internas das fontes e no dreno do transistor M1.	28
Figura 26 - Resposta do píxel (V_{sn}) com efeito resistivo do transistor M1 e da fonte de tensão [autoria própria].	29
Figura 27 - Formas de ondas dos sinais RST, RDR e VDD para resistência interna da fonte de alimentação de 1k Ω	30

Figura 28 - Tempo de decaimento do nó V_{sn} com o efeito resistivo do transistor M1 e da fonte de tensão [autoria própria].....	31
Figura 29 - Formas de onda para o efeito da temperatura.	32
Figura 30 - Tempo de resposta considerando o efeito do aumento de temperatura.	32
Figura 31 - Nova arquitetura de circuito de controle RDR proposta.	35
Figura 32 - Sinal RDR gerado pelo circuito da figura 7.	35
Figura 33 - Nova arquitetura do circuito de controle RST.	37
Figura 34 - Sinal de controle RST gerado pelo circuito da figura 9.	37
Figura 35 - Resposta do píxel utilizando o novo circuito de RDR.	39
Figura 36 - Resposta do píxel usando o circuito anterior de RDR.....	40
Figura 37 – Layout do circuito de controle RDR.	42
Figura 38 – Formas de onda do sinal de controle RDR.	43
Figura 39 – Layout do circuito de controle RST.	44
Figura 40 – Curvas do sinal de controle RST.	45

LISTA DE TABELAS

Tabela 1 - Comparação entre as tecnologias CMOS e CCD.	4
Tabela 2 - Endereçamento binário para seleção de linha da matriz.....	8
Tabela 3 - Endereçamento binário para seleção de coluna da matriz	9
Tabela 4 - Níveis de tensão analógica de alimentação.	10
Tabela 5 - Parâmetros dos modos Linear e Logaritmo.	16
Tabela 6 – Configuração da fonte de tensão VRST.....	23
Tabela 7 - Configuração da fonte de tensão VRDR	23
Tabela 8 - Comparação do tempo de descarga dos modelos das seções 3.2 e 3.3.....	31
Tabela 9 - Tabela comparativa do tempo de resposta em função do aumento de temperatura.	33
Tabela 10 - Comparação de desempenho do modelo antigo com a solução proposta.....	41

LISTA DE ABREVIATURAS

RDR – Reset Drain

RST – Reset

MOS - Metal-Oxide-Semiconductor

CMOS – Complementary Metal-Oxide-Semiconductor

MOSFET - Metal-Oxide-Semiconductor Field Effect Transistor (Transistor de Efeito de Campo de Óxido de Metal Semicondutor)

NMOS – P-type MOS Transistor

PMOS – N-type MOS Transistor

CCD – Charge-Coupled Device (dispositivo de dupla carga)

PD – Photodiode (fotodiodo)

CPD – Capacitance Photodiode (capacitância do fotodiodo)

V_{SN} – Sense Node (Tensão no ponto SN do píxel)

I_{PH} – Photocurrent (fotocorrente gerada)

I_{DARK} – Dark Current (corrente de escuro do fotodiodo)

APS – Active Píxel Sensor (sensor de píxel ativo)

3T-APS – Sensor de Píxel Ativo de três transistores

PTZ – Sigla que une três funcionalidades de uma câmera: PAN (movimentação horizontal (panorâmica) da câmera), TILT (movimentação vertical da câmera), ZOOM (capacidade de aproximar as imagens com o movimento da lente)

FPN – Fixed Pattern Noise (Ruído de Padrão Fixo)

V_{dd} – Tensão de alimentação (3.3V)

VLSI - Very Large-Scale Integration

LDD - Lightly doped drain (dreno levemente dopado)

VL – V_{LOAD} (Tensão de carga)

SUMÁRIO

1. INTRODUÇÃO	1
1.1 Formulação do Problema	5
1.2 Justificativas.....	6
1.3 Objetivo e desafios da pesquisa	6
1.3.1 Objetivos Gerais.....	6
1.3.2 Objetivo Específico.....	6
2. FUNDAMENTAÇÃO TEÓRICA	7
2.1 Modo Linear.....	15
2.2 Modo Logaritmo	16
2.3 Modo Linear Logaritmo (LinLog)	16
2.4 Dispositivos CMOS	17
2.5 Influência da estrutura LDD em dispositivos CMOS	18
2.6 Detalhes da Estrutura do Píxel e Processo de Fabricação CMOS utilizado.....	19
3. ANÁLISE DAS NÃO IDELIDADES DO CIRCUITO APS DO CHIP IR2	21
3.1 Modelo de píxel usando fontes ideais	21
3.2 Modelo de píxel usando fontes não ideais	24
3.3 Modelo de píxel com a inclusão de resistência de dreno.	28
3.4 Análise do efeito da temperatura	31
4. SOLUÇÃO PROPOSTA E COMPARAÇÃO COM OS RESULTADOS DO CIRCUITO ORIGINAL	34
4.1 Circuito gerador do sinal RDR.....	34
4.2 Circuito gerador do sinal RST	36
4.3 Tempo de decaimento da resposta do sensor	39
4.4 Comparação de desempenho do modelo antigo com a solução proposta	40
5. DESENVOLVIMENTO DO LAYOUT DOS CIRCUITOS DE CONTROLE	42
6. CONCLUSÃO	46
7. REFERÊNCIAS.....	47

1. INTRODUÇÃO

Um sensor de imagem é um dispositivo eletrônico que capta luminosidade que é incidida sobre si e dá início ao processo conhecido como captura de uma instância ou de uma sequência de instâncias dessa luminosidade através da conversão do estímulo ótico (luminosidade incidente) em sinal elétrico.

Uma das características dos sensores de imagem é a sua subdivisão em pixel; sendo cada pixel um elemento de uma matriz que faz a captação da luminosidade. Assim, os dados de resposta de cada pixel de uma matriz formam a imagem final.

A tecnologia de sensores de imagem em tecnologia de estado sólido avançou a tal ponto que agora é extremamente necessário considerar a fabricação de redes integradas de fotodetectores, capazes de produzir imagens de alta resolução. A pesquisa de sensores de imagem a estado sólido teve início na década de 60, com trabalho de diferentes grupos de pesquisas utilizando processos NMOS, PMOS e bipolares [1].

Os sensores de imagem mais bem empregados e difundidos no mercado atualmente são o CMOS (Complementary Metal Oxide Semiconductor) e o CCD (Charge-Coupled Device). Ambos estão presentes amplamente nas câmeras fotográficas modernas.

Os sensores CCD têm na sua estrutura interna uma região fotoativa e uma região de transmissão constituída de um registrador de deslocamento. Funciona de modo a capturar a imagem, convertendo-a em cargas elétricas que são deslocadas de um pixel para o pixel vizinho até que o valor destas cargas seja lido ao fim da linha. Saindo da estrutura da matriz de pixel este valor deve passar em um amplificador de carga que as amplifica para que possam finalmente seguir para um conversor AD (analógico – digital), que por sua vez faz a conversão pela medição da quantidade de carga em cada célula.

Em meados da década de 1970 nos Laboratórios Bell Labs, durante várias pesquisas relacionadas a circuitos integrados nasce ocasionalmente um sensor de imagem que hoje conhecemos como sensor CCD, por meio de um projeto desenvolvido pelos físicos Willard Boyle e George Smith [3]. Em 1975 por conta da tecnologia ser uma novidade, foram criadas as primeiras câmeras de TV com uso restrito para uso comercial de emissoras de televisão.

Com o advento da tecnologia baseada em CCD e de sua superioridade em relação aos sensores de imagem até então propostos, a maior parte das pesquisas se concentrou no

desenvolvimento desta tecnologia, se tornando predominante em aplicações que variam desde câmeras digitais até aplicações científicas específicas [2].

No início da década de 1990, o desenvolvimento de sensores de imagem CMOS baseados na tecnologia APS (Sensor de Píxel Ativo), originada no Laboratório de Propulsão a Jato (JPL) da NASA (agência espacial americana), iniciou uma mudança neste cenário [1].

Os sensores de imagem CMOS surgiram devido à necessidade de se capturar dados de imagem com boa velocidade de processamento e com um tamanho reduzido, pois se podiam incorporar muitos itens auxiliares a custo de pouco espaço devido ao desenvolvimento da estrutura microeletrônica do pixel, enquanto que no CCD só era possível por meio de aumento considerável da estrutura de hardware e do custo.

Apresentamos, a seguir, o histórico de evolução da tecnologia CMOS:

- 1960's: primeiros trabalhos com dispositivos MOS;
- 1970's: Sensores CCDs trabalham melhor que os dispositivos MOS;
- 1980's: Trabalho limitado em termovisores MOS/CCD;
- 1990's: CMOS de pixeis passivos são comercializados, embora fosse de baixo desempenho;
- 1993: Primeiro CMOS APS foi demonstrado (matriz 28x28);
- 1994: CMOS APS com desempenho comparável aos CCDs;
- 1995: CMOS APS foi demonstrado com matriz 1Kx1K– *photobit* feito pelo time JPL para comercializar sensores CMOS APS;
- 1996: *Photobit* demonstra alto desempenho do CMOS APS com ADC para taxas de vídeos;
- 1997: *Photobit* reporta a primeira câmera digital do mundo num chip. (Stanford Hot Chips Symposium);
- Uma das melhores formas de mensurar os avanços de uma tecnologia, é compará-la com a tecnologia anterior. Usando este argumento, pode-se fazer comparações entre um produto acabado (câmeras fotográficas, por exemplo) que utilizam a tecnologia CCD ou CMOS.

Os sensores fabricados em tecnologia CMOS utilizam vários transistores em cada pixel para amplificar e mover a carga. A resposta de um pixel é nativamente endereçada ao armazenador da resposta final, que formará a imagem. Além das diferenças entre o funcionamento do CCD e o CMOS, podem-se citar outras características de ambos:

- O processo de fabricação é feito sob medida para ter um alto nível de eficiência.
- Toda a saída de carga passa pelo mesmo amplificador de forma que não há FPN (Ruído de Padrão Fixo). FPN é um ruído particular de sensores de imagem digital que são geralmente notados em longos tiros de exposição de luz onde determinados pixels são suscetíveis a ter uma intensidade luminosa acima do ruído de fundo normal para estes sensores.
- Possibilidade de adicionar carga ao domínio de cargas sem ruídos, o que é bom para algumas aplicações de processamento de sinais.

No entanto, os sensores CCD têm determinadas limitações:

- Requerem uma alta eficiência na transferência de carga. Para tal pode ser necessário um processo de fabricação especial aumentando o custo ou os níveis de tensão, o que aumenta o consumo.
- Dificuldade de integrar no mesmo timing o chip, sinais de controle, endereçamento e os demais sinais eletrônicos em cadeia. No entanto, pode-se acrescentar/melhorar um processo para integração, o que acarreta outra desvantagem: aumento de custo e reduz o rendimento. Há também outro fator: um aumento de capacitância requer altos níveis de corrente, o que consome mais energia.
- Requerem chip gerador de sincronismo, chips de drivers, processador de sinais e chips de interface.
- Potência do sistema com range entre 0,5 a 2,0 Watts.
- Arquitetura dá acesso aos dados de imagem de forma serial.

Agora, enumeramos, na lista abaixo, as vantagens de uma câmera fotográfica com sensor CMOS em relação ao CCD:

- A potência consumida é muito menor (fator importante para aplicações portáteis);
- Sistemas de integração embutidos no chip, o que permite câmeras menores;
- Custo menor e poucos componentes na câmera;
- Interface digital fácil, o que permite um tempo menor em projeto de câmeras e para o lançamento no mercado;
- Menos artefatos na imagem gerada, tais como *blooming* (floração) ou *smearing* (esfregaços), mantendo o mesmo nível de sensibilidade. *Blooming* é um efeito no qual a imagem gerada fica comprometida por conta de uma luminosidade excessiva

em formato esférico em determinada área. *Smearing* é um efeito semelhante, com diferença de que o formato do excesso de luminosidade lembra uma linha vertical. Ambos ocorrem pelo excesso de luminosidade incidente sob uma área do sensor.

- Faixa dinâmica (capacidade do sensor capturar simultaneamente a menor e a maior quantidade de luz) superior para aplicações de segurança e de autos;
- Saída digital permite velocidades de leitura e taxas de quadros mais rápidos;
- Endereçamento direto de pixels permite uma estrutura PTZ. Uma câmera PTZ possui três funcionalidades: PAN (movimentação horizontal (panorâmica) da câmera), TILT (movimentação vertical da câmera) e ZOOM (capacidade de aproximar as imagens com o movimento da lente).

Devido à predominância de mercado dos sensores CMOS, a UFAM em parceria com a UFMG (Universidade Federal de Minas Gerais) desenvolveu o projeto de um sensor de imagem para realização de estudos sobre a tecnologia. A matriz de sensores foi fabricada em conjunto com os circuitos de controle em um chip denominado IR2 que foi adquirido por meio de um consórcio entre universidades federais do Brasil [2]. Na tabela 1, temos algumas características comparativas entre as tecnologias CMOS e CCD.

Tabela 1 - Comparação entre as tecnologias CMOS e CCD.

PARÂMETRO	CCD	CMOS
Consumo de energia	Alto	Baixo
Qualidade de imagem	Alto	Médio
Velocidade de captura	Lento	Rápido
Tamanho	Grande	Reduzido
Custo	Alto	Baixo
Fator de Preenchimento	Alto	Baixo

1.2 Justificativas

Justifica-se, esse trabalho, pela necessidade de estudos de novas topologias de circuitos de controle de pixels que possam oferecer benefícios, tais como: melhor robustez contra variações de temperatura e redução da resistividade de canal do píxel aplicados ao desenvolvimento de sensores de imagem. Também é cada vez maior a demanda pela redução do tempo de resposta do píxel 3T-APS, onde o sinal que mais contribui para o atraso é o sinal de controle RDR. Portanto, propõe-se uma nova solução de circuito gerador de sinal de controle RDR e RST e serão avaliados se os circuitos propostos são capazes de diminuir o tempo de resposta do píxel, o que o tornará apropriado para aplicações em captura de imagens dinâmicas.

1.3 Objetivo e desafios da pesquisa

1.3.1 Objetivos Gerais

- a) Entender possíveis causas de degradação do sinal de controle RDR (reset drain), do píxel 3T-APS;
- b) Propor soluções para redução da degradação do sinal RDR

1.3.2 Objetivo Específico

- a) Avaliar a capacidade do transistor (M1), localizado dentro do píxel, em fazer a descarga do fotodiodo, por uma resistência associada à resistividade de M1, no menor tempo possível;
- b) Avaliação da influência do transistor de reset;
- c) Avaliar a influência dos circuitos de RDR e RST, localizados externos ao píxel;
- d) Avaliar a influência do divisor resistivo acoplado à fonte de alimentação;
- e) Avaliar possíveis influência do aumento de temperatura no chip;
- f) Avaliar possíveis influência de outros circuitos na vizinhança da matriz do sensor de imagem;
- g) Analisar o comportamento da descarga do fotodiodo e da resposta do píxel por meio de simulações de Monte Carlo;
- h) Avaliar o efeito de diferentes níveis de temperatura incidentes sobre o píxel por meio de simulações de Monte Carlo.

2. FUNDAMENTAÇÃO TEÓRICA

Na figura 2, temos o seguinte diagrama em blocos do sensor de imagem demonstrando todos os circuitos que compõem a arquitetura. Há a presença de circuitos que realizam a detecção de intensidade luminosa que chega a uma matriz de fotodetectores, circuitos de endereçamento de linhas e colunas da matriz (*ROWSEL* e *COLSEL*), circuitos de controle (*RDR_RST*) e circuitos de leitura (*TGATE*).

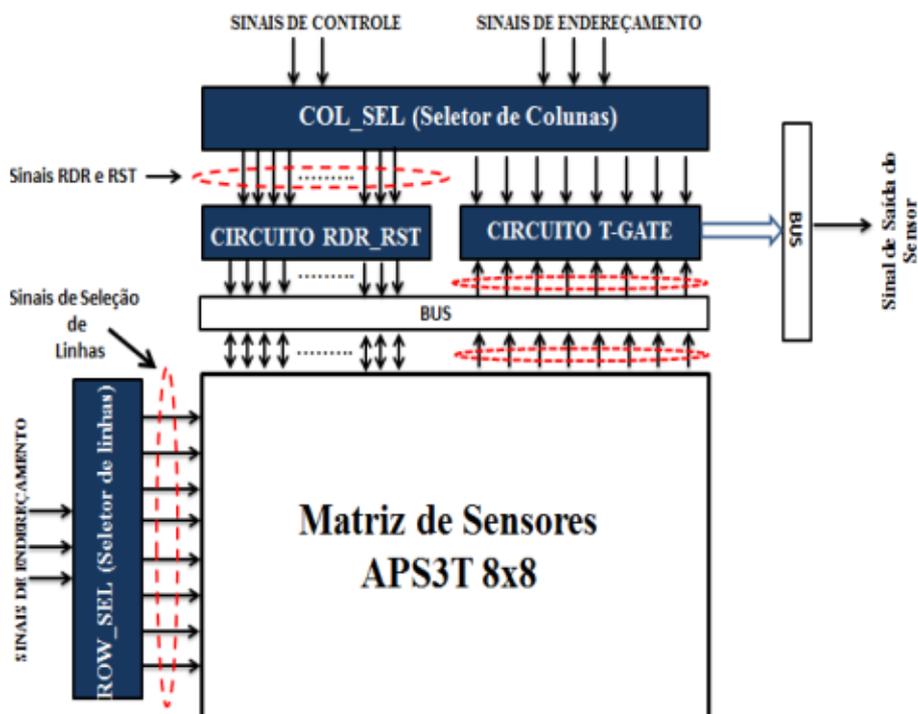


Figura 2 - Diagrama em blocos do sensor de imagem [4].

No diagrama em blocos do sensor mostrado na figura 2, temos a presença de dois circuitos responsáveis em fazer a seleção de linhas e colunas da matriz, ou seja, a seleção de um determinado pixel da matriz de sensores.

O circuito *ROWSEL* (seletor de linha), exibido na figura 3, realiza a função de selecionar uma determinada linha da matriz por meio de um sinal de endereçamento aplicado nas entradas A0, A1 e A2. Trata-se de um circuito responsável pela escolha de uma das oito saídas (*ROWSEL* 0...*ROWSEL*7) por meio do código binário mostrado na tabela 2. Há, também, a presença de um sinal de habilitação (*ROWSEL_DIG*) [4].

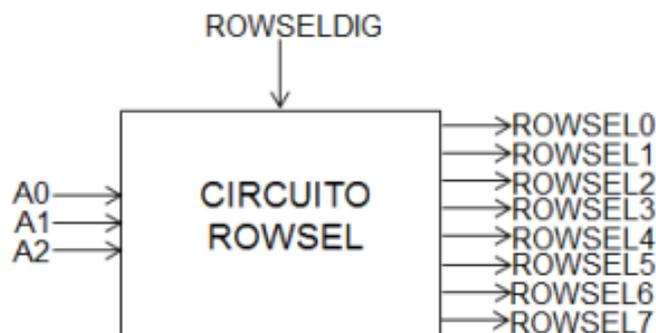


Figura 3 - Diagrama em blocos do circuito Rowsel [4].

Tabela 2 - Endereçamento binário para seleção de linha da matriz.

A0	A1	A2	SAÍDA
0	0	0	ROWSEL0
0	0	1	ROWSEL1
0	1	0	ROWSEL2
0	1	1	ROWSEL3
1	0	0	ROWSEL4
1	0	1	ROWSEL5
1	1	0	ROWSEL6
1	1	1	ROWSEL7

Para seleção de uma determinada coluna da matriz de sensores de imagem, utiliza-se o circuito *COLSEL* (seletor de coluna) que possui a dinâmica de funcionamento semelhante ao circuito *ROWSEL*, além de gerar os sinais de controle do sensor de imagem. Trata-se de um circuito responsável pela escolha de uma das oito saídas (COL0...COL7) por meio do código binário mostrado na tabela 3. Há, também, a presença de dois sinais de controle no circuito, com a função de habilitar a saída de outros sinais responsáveis pelo controle do modo de operação do sensor de imagem, denominados *RDR_DIG* e *RST_DIG* [4].

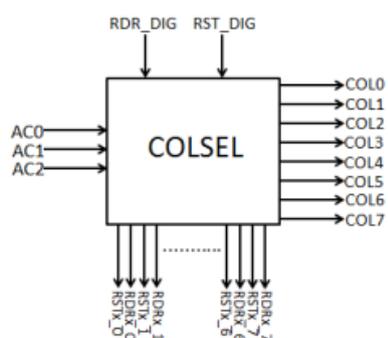
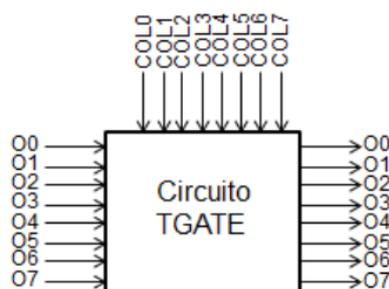


Figura 4 - Diagrama em blocos do circuito Colsel [4].

Tabela 3 - Endereçamento binário para seleção de coluna da matriz

AC0	AC1	AC2	COLSEL0
0	0	0	COLSEL1
0	0	1	COLSEL2
0	1	0	COLSEL3
0	1	1	COLSEL4
1	0	0	COLSEL5
1	0	1	COLSEL6

Para realizar a leitura dos sinais de luz fotodetectados na matriz de sensores, faz-se necessária a presença de um circuito que realize a obtenção desta informação. O circuito responsável por realizar esta função é o circuito *TGATE*, que basicamente é um circuito composto de chaves controladas. Para a melhor compreensão do funcionamento do circuito *TGATE*, está exibido, na figura 5, o diagrama em blocos com os fluxos de sinais de entrada e saída e sinais de ativação [4].

Figura 5 - Diagrama em blocos *TGATE* [4].

Na entrada do circuito temos os sinais O0, O1...O7 provenientes da saída matriz, que são transferidos para a saída do circuito *TGATE* de acordo com os sinais de habilitação COL0, COL1, ..., COL7.

O controle do modo de operação dos pixels da matriz de sensores de imagem é realizado pelos circuitos de *RDR_RST*, que fazem a modulação dos sinais de controle derivados do circuito *COLSEL* e disponibilizam estes sinais de forma adequada a cada um dos sensores da matriz, colocando os em certo modo de operação. Para este circuito está exibida na figura 6 toda dinâmica de fluxo de sinais de entrada e saída [4].

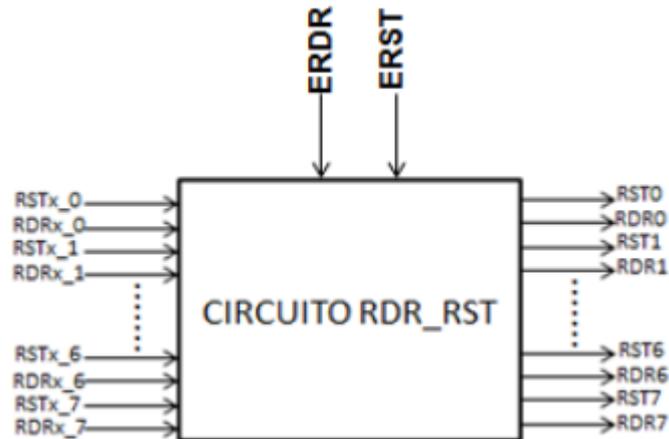


Figura 6 - Diagrama em blocos do circuito RDR_RST [4].

Temos na entrada do circuito RDR_RST, sinais que chegam com nível digital de 0 a 3.3 V e após serem processados internamente no circuito, são entregues à matriz de sensores de imagem com níveis específicos. Localizado acima do diagrama em blocos há a presença dos sinais ERDR e ERST com valores de tensões DC (tensão contínua) específicos de 1.4 V e 2.5 V, respectivamente, responsáveis por modular os sinais RSTx e RDRx. Os valores de tensão configurados para cada um definem o modo de operação do sensor e podem ser vistos na tabela 4.

Tabela 4 - Níveis de tensão analógica de alimentação.

MODO DE OPERAÇÃO	ERDR	ERST
LINEAR	3.3V	0V
LOGARITMO	3.3V	3.3V
LINLOG	1.4V	2.5V

Para realização da fotodetecção da intensidade de luz que chega ao sensor de imagem, há a presença de um conjunto de sessenta e quatro píxels dispostos em uma matriz 8x8, ou seja, contendo oito linhas e oito colunas. Nesta matriz é realizada a varredura das linhas e colunas ou a seleção de píxels através dos circuitos ROWSEL e COLSEL, assim como, o controle do modo de operações dos píxels é realizado por meio do circuito RDR_RST e a leitura dos dados obtidos na matriz é feita com circuito TGATE. Abaixo, na figura 7, está exibido o diagrama esquemático em circuito elétrico da matriz com blocos representando píxels e as conexões externas existentes [4].

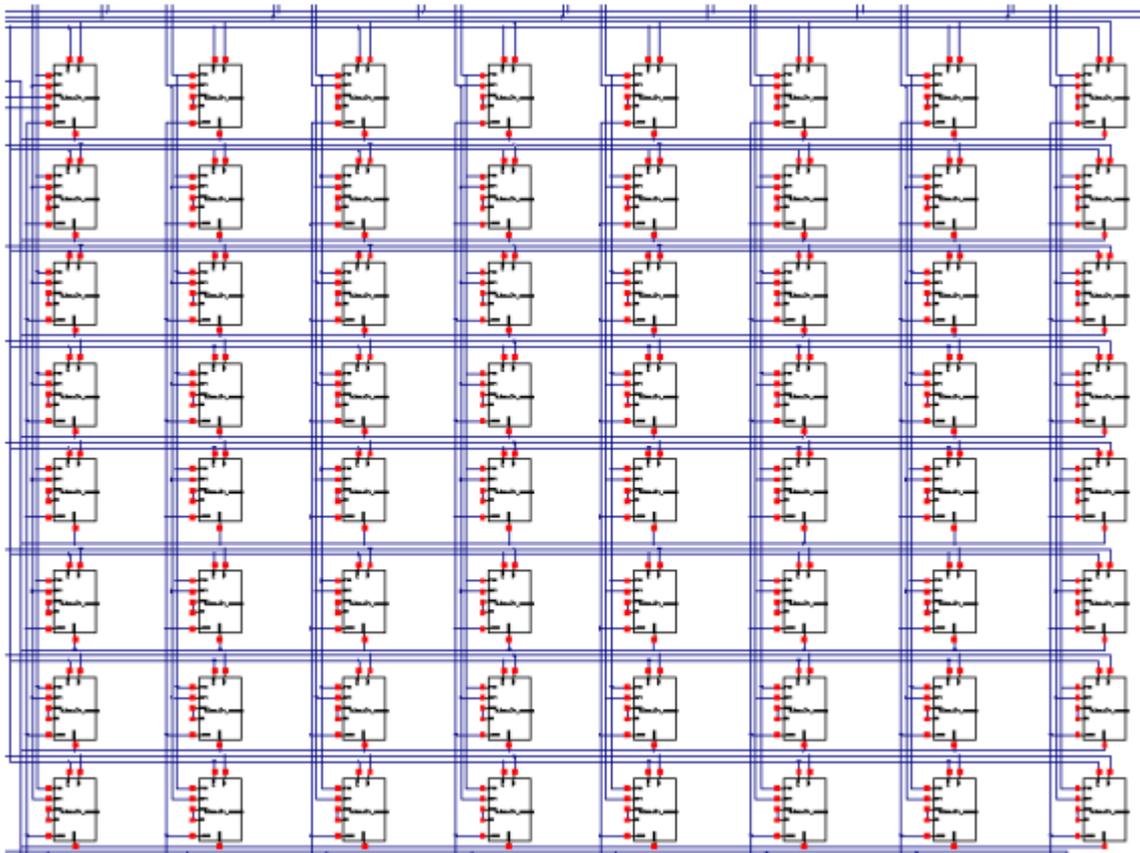


Figura 7 - Esquema elétrico da matriz de sensores [4].

Embora o sensor utilizado seja simples e com resolução baixa em relação às câmeras mais modernas que já existem, a figura 8 mostra uma pequena prova da dimensão da complexidade da estrutura do CHIP CMOS [2]:

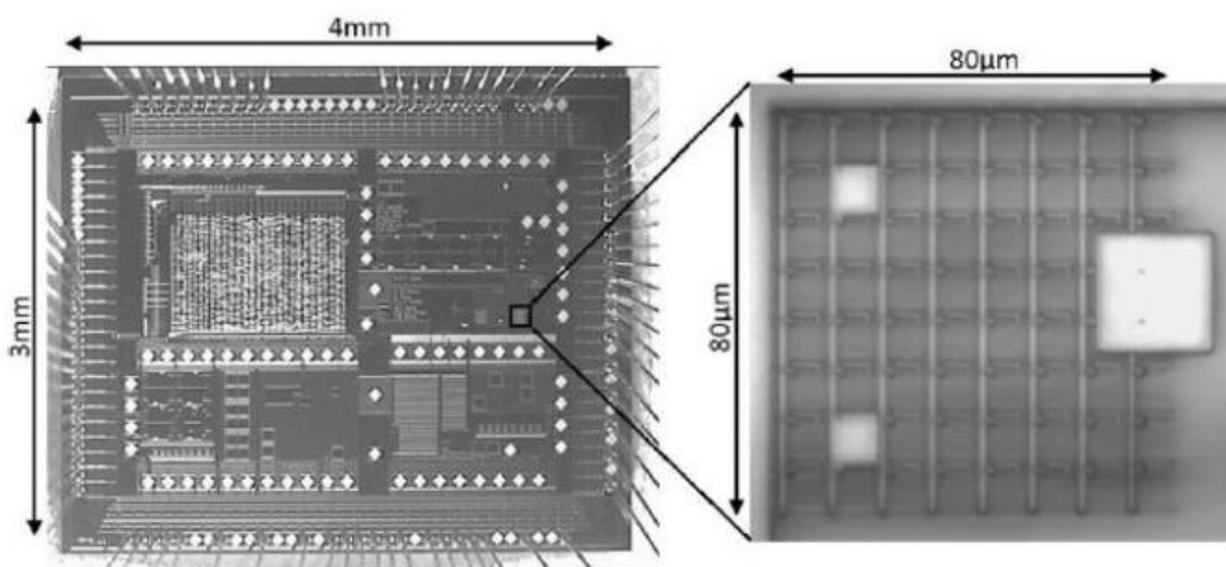


Figura 8 - À esquerda, estrutura total do Chip e ao lado a matriz de pixel do sensor ampliada [2].

O sensor é do tipo APS (sensor de pixel ativo) porque possui um ou mais elementos amplificadores na estrutura interna de cada um dos pixels. Possui três estágios na estrutura de cada pixel conforme a ilustra a figura 9.

A principal característica do sensor APS é a presença do amplificador dentro do pixel, o que aumenta a relação sinal ruído. Por outro lado, isto também gera uma diminuição do fator de preenchimento e da sensibilidade do sensor [5]. Na figura 4, temos a estrutura interna do píxel o qual é constituído por três transistores (M1, M2 e M3) e um fotodiodo (PD). O transistor M1 (reset) está em destaque porque recebe os sinais de controle RST e RDR e é alvo de estudo deste trabalho. M2 é um seguidor de fonte (buffer ou amplificador de ganho unitário) e M3 é um seletor de linha (Rowsel). O nó SN (sense node) é um ponto de tensão na fonte do transistor de reset.

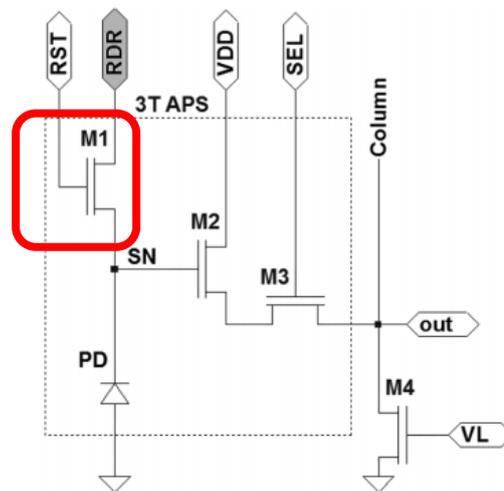


Figura 9 - Estrutura de um píxel da matriz [5].

A figura 10 exibe duas formas de ondas que representam os sinais de controle RDR (V_{RDR}) e RST (V_{RST}), as quais são injetadas nos terminais de dreno e gate do transistor M1 (em destaque na fig. 9). A forma de onda V_{SN} representa os níveis de tensão no nó SN para diferentes níveis de luminosidade. As marcações S1 e S2 são pontos de amostragem para avaliação de FPN usando a técnica de dupla amostragem (CDS) [5] e t_{int} é o tempo de referência.

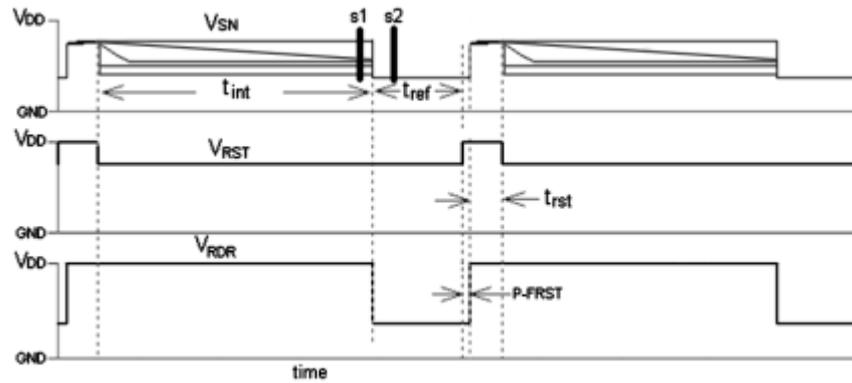


Figura 10 - Sinais de controle RST e RDR aplicados ao Gate e Dreno do transistor M1, respectivamente [5].

Cada transistor representa um estágio, o primeiro estágio começa quando o transistor de reset é ligado durante a transição do sinal de reset para nível alto, fazendo que o fotodiodo (PD) seja polarizado reversamente, dando início a leitura do pixel. Esse transistor também é chamado de transistor de carga, uma vez que fornece uma tensão ao nó SN que carrega a capacitância do fotodiodo.

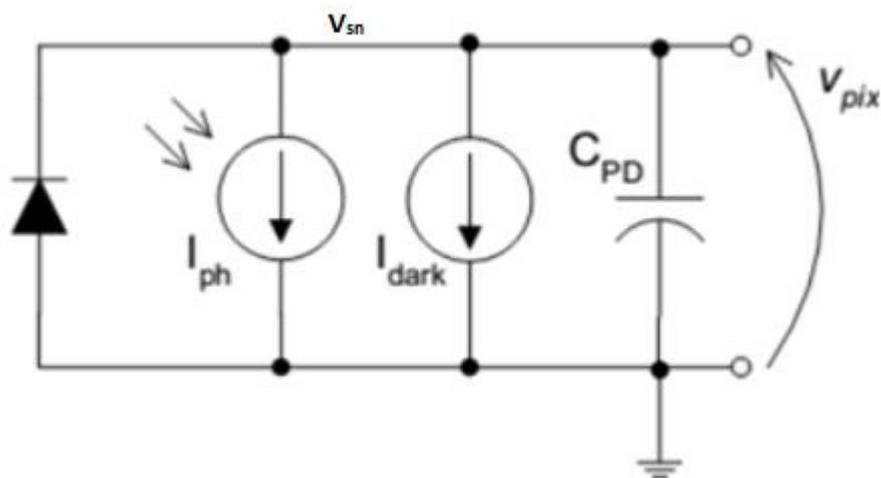


Figura 11 - Modelagem do fotodiodo do píxel [7].

A modelagem do fotodiodo pode ser visualizada na figura 11 [3], sendo V_{pix} a tensão de nó sensor, I_{dark} a corrente de escuro, C_{pd} a capacitância do fotodiodo e I_{ph} a fotocorrente gerada a partir da incidência luminosa e seu cálculo é obtido de acordo com a equação abaixo:

$$I_{ph} = \frac{q \cdot n \cdot A \cdot D \cdot L_{io} \cdot \lambda}{h \cdot c} \quad (1)$$

Onde q é a carga do elétron ($1,602 \times 10^{-19} \text{ C}$), n é a eficiência quântica do fotodiodo, h é a constante de Planck ($6,62 \times 10^{-34} \text{ Js}$), $A \cdot D$ é área fotossensível do pixel, L_{io} é a intensidade da luz incidente (W/m^2), c é a velocidade da luz no espaço ($3 \times 10^8 \text{ m/s}$) e λ é o comprimento de

onda da luz incidente. A equação 1 mostra a relação linear entre a fotocorrente e a intensidade da luz incidente, para um dado comprimento de onda [1].

Considerando o instante de tempo $t=0$ logo após a retirada do sinal de reset para nível lógico baixo, a tensão de saída do fotodiodo V_{pix} é dada por:

$$V_{pix}(t) = V_{pix}(0) - \frac{1}{C_{pix}} \int_0^t I_{ph} dt \quad (2)$$

Onde C_{PIX} é uma capacitância que corresponde, aproximadamente, à soma da capacitância do fotodiodo (C_{PD}) com a capacitância de *gate* do transistor de leitura e a capacitância de fonte do transistor de reset (M1).

Quando há a transição do sinal de reset para nível alto, a tensão de saída do pixel é dada por:

$$V_{pix} = V_{dd} - V_{tn} \quad (3)$$

A tensão V_{tn} é uma tensão limite para a polarização do transistor M1, uma vez que este precisa de um nível de tensão mínimo para seu funcionamento e V_{dd} a tensão de alimentação do circuito (3,3V).

A figura 12 ilustra a resposta de um pixel para diferentes níveis de fotocorrente. Verifica-se que quanto maior a fotocorrente, menor será o nível de tensão da resposta de um pixel. Pela equação (1), concluiu-se que quanto maior o comprimento de onda, maior a fotocorrente. Logo, menor será o nível de tensão da resposta. Para o nível da tensão ser menor, a queda de tensão em relação a situação anterior foi maior.

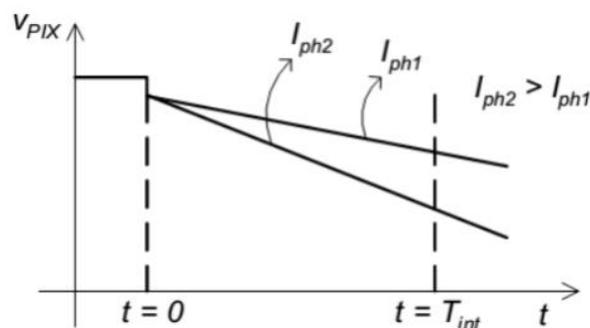


Figura 12 - Resposta do pixel para diferentes níveis de fotocorrente [4].

O segundo estágio possui um amplificador usual: um transistor seguidor de fonte (M2), possui ganho unitário e isola o sinal do primeiro estágio em relação ao estágio seguinte devido a uma alta impedância de entrada e baixa impedância de saída. O terceiro estágio (M3)

serve para fazer o deslocamento da carga acumulada no primeiro estágio para a saída do pixel. O transistor M4 trabalha como uma resistência e está fora da estrutura do pixel.

O sensor possui três modos de operação possíveis: linear, logaritmo e linear-logaritmo (Lin-Log). Entretanto, para este trabalho será dada ênfase ao modo Lin-Log, uma vez que, operando em modo linear-logaritmo, o sensor apresenta uma boa resposta para altos níveis de iluminação incidente sobre os pixels (logaritmo) e para baixos níveis luminosos (linear).

Investigações anteriores [3, 5] já provaram que o melhor desempenho em relação ao alcance dinâmico e a potência do sinal ocorrem no modo de operação Lin-Log, levando ao desenvolvimento deste como uma técnica para a obtenção de um melhor desempenho sem perder níveis de potências sensíveis maiores e ao mesmo tempo ser sensível a uma larga faixa de sinal luminoso no espectro eletromagnético. Para cada modo de operação, tem-se a mesma estrutura do pixel, o que muda são as configurações dos transistores M1 e M2.

Para melhor compreensão dos modos de funcionamentos, apresentamos a teoria relacionada nos próximos três subtópicos.

2.1 Modo Linear

Também conhecido como modo de integração linear, onde a tensão de saída é inversamente proporcional à intensidade luminosa [6, 7]. Apresenta alta sensibilidade, uma boa razão sinal-ruído quando se aplica o circuito para dupla amostragem correlacionada, do inglês *correlated double sampling* (CDS), e ampla excursão de tensão de saída. Porém, esta resposta linear à intensidade luminosa enseja em limitação de alcance dinâmico [8], sendo que o píxel é resetado pelo transistor de reset (RST). O transistor RST é desligado em seguida para que ocorra o processo de integração de cargas no fotodiodo. Esta integração possui uma taxa de queda de cargas dependente dos portadores gerados pela energia luminosa e dada por:

$$\frac{dV}{dt} = \frac{1,2\lambda P\eta}{c} \quad (4)$$

Onde o termo numérico 1,2 representa várias constantes e um fator de proporcionalidade, λ o comprimento de onda em μm , P é a potência incidente em watts, η a eficiência quântica e c a capacidade do diodo em $\text{F} \cdot \text{cm}^{-2}$. As cargas convertidas em tensão são lidas pelo transistor seguidor de fonte e transferidas para a saída pelo transistor de seleção de linha [7, 9].

2.2 Modo Logaritmo

Sensores de imagem atuando no modo logarítmico apresentam largo alcance dinâmico, o que os torna amplamente utilizados em biofísica e radiografia [12, 10] pois possibilitam a aquisição de imagens numa faixa mais extensa de variação de luminosidade. Porém, apresenta baixa excursão de tensão de saída (0,2 a 0,3 V), o que reduz a razão sinal-ruído e frequentemente causa dificuldade no projeto de conversor A/D como resultado do baixo alcance do sinal de entrada. Outra desvantagem é a deficiência de esquema simples para anulação da ampla magnitude de FPN presente devido às variações de processo [8, 10], onde o parâmetro mais crítico é a tensão de limiar dos transistores [11].

2.3 Modo Linear Logaritmo (LinLog)

Esta abordagem foi proposta para aumentar o alcance dinâmico e manter a excursão de tensão como um sensor de pixel ativo linear. Esta arquitetura mantém a sensibilidade de imagem com baixa luminosidade e comprime a imagem com alta luminosidade com resposta logarítmica. Esta característica amplia o alcance dinâmico conservando o detalhe tanto em baixa e quanto em alta luminosidade [6, 10].

A tabela 5 demonstra uma comparação genérica entre os modos linear e logarítmico levando em conta alguns parâmetros determinantes no que tange ao desempenho dependendo de sua aplicação.

Tabela 5 - Parâmetros dos modos Linear e Logaritmo.

Parâmetro	Modo Linear	Modo Logaritmo
Fator de Preenchimento	Baixo	Alto
Alcance Dinâmico	Baixo	Alto
Excursão do Sinal de Saída	Alto	Baixo
FPN	Alto	Baixo
Circuitos Auxiliares	Complexo	Mais Complexo

O desejo de fundir os pontos fortes de ambos os modos apresentados anteriormente culminaram numa variedade de propostas. No fim dos anos 90 foram propostos dois métodos para combinar os modos linear e logarítmico. O primeiro dispõe a seleção independente entre os modos linear e logarítmico [13]. O segundo método foi pioneiro no uso do termo linlog, o esquema requer o mínimo de quatro transistores por pixel e o pixel é capaz de mudar do modo linear para o logarítmico dependendo unicamente da intensidade da luz [14]. Após isso, uma técnica similar foi apresentada e patenteada como LINLOGTM [15] com a diferença de aplicar o APS 3T.

2.4 Dispositivos CMOS

Uma estrutura MOS, do inglês *metal-oxide-semiconductor*, é constituída de várias camadas empilhadas de materiais com características condutoras ou isolantes. Esta estrutura é feita através de uma sucessão de processos envolvendo a oxidação do silício, introdução seletiva de dopantes e a deposição e formação de fios de metal e contatos. Tais transistores são construídos de silício monocristalino com baixo nível de imperfeições e dispostos em lâminas de 15 a 30 cm de diâmetro [16].

O transistor MOS é um dispositivo baseado em portadores que fluem através de corrente entre fonte e dreno através de um canal. Esta corrente é controlada pela aplicação de tensão no terminal nomeado porta. Este terminal possui um contato que pode ser feito de metal, polisilício, entre outros e; um óxido isolante com função também dielétrica. A sílica, SiO_2 , é um óxido de porta tradicional que apresenta como principal vantagem a capacidade de crescimento térmico sob o substrato de silício. Muitos outros diferentes materiais têm sido propostos como opção à substituição da sílica como óxido. Como exemplo, pode-se citar o óxido de Háfnio, HfO_2 , e seus variantes devido a características como sua compatibilidade com o silício [16]. Os transistores nMOS e pMOS diferem-se por seus respectivos portadores que atravessam o canal, elétrons e lacunas. A operação do transistor é controlada por campo elétrico, assim estes dispositivos são também nomeados MOSFETs, do inglês *metal oxide semiconductor field effect transistors*. A Figura 13 mostra um corte transversal e símbolos usados para estes dispositivos. As regiões n+ e p+ representam regiões n e p fortemente dopadas, respectivamente [17].

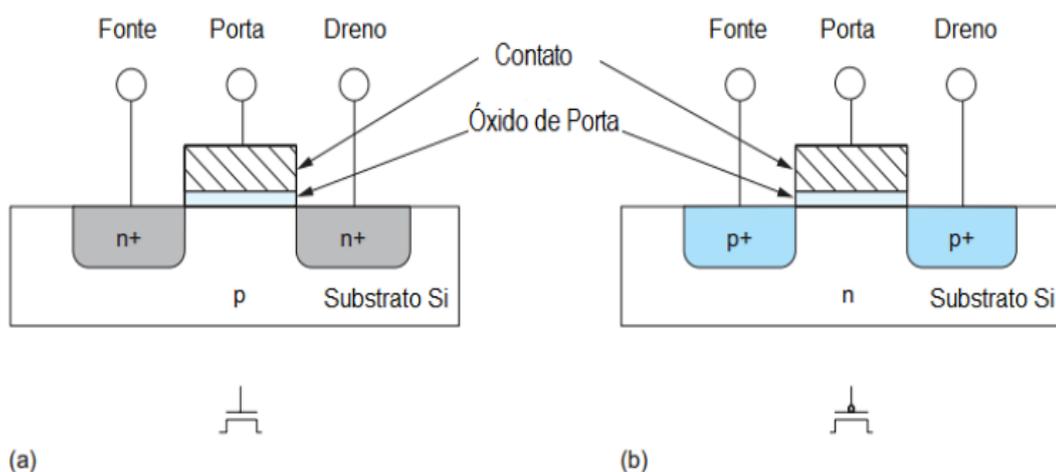


Figura 13 - Transistor nMOS (a) e Transistor pMOS (b) [18].

adquirem energia extra do campo. Sua energia cinética é medida acima da energia da banda de condução e se seu valor for maior que a energia da barreira do isolador, então ela permite que os portadores escapem para a camada de óxido e para o terminal de porta dando origem a uma corrente de porta [20]. A presença da corrente de porta implica no aumento do consumo de energia, o que é um efeito indesejado.

Embora a estrutura LDD tenha vantagens como maior tensão de ruptura, menor campo elétrico próximo às regiões de fonte e dreno, menor corrente de porta que a tornam mais adequada para dispositivos de dimensões submicrométricas do que o MOSFET convencional, existem algumas desvantagens [21]. Uma das desvantagens mais importantes é a de uma resistência aumentada que degrada a capacidade de corrente do dispositivo. Em geral, o ganho na tensão de ruptura é frequentemente acompanhado pela degradação do dispositivo [22].

Este fenômeno pode ser aliviado projetando-se adequadamente a arquitetura LDD em relação à concentração de dopagem de ambos os componentes e comprimento do canal. Como os elétrons em Si (silício) têm uma mobilidade maior do que as lacunas, os dispositivos de canal não são mais influenciados negativamente pelo efeito do alto campo elétrico, resultando em um maior número de hot-elétrons injetados no óxido de porta [17]. Por esta razão, a estrutura LDD é estudada para transistores nMOSFET.

2.6 Detalhes da Estrutura do Píxel e Processo de Fabricação CMOS utilizado

Uma pequena matriz com oito linhas e oito colunas do píxel, para o qual o esquema é mostrado na Fig. 15 (a), foi projetado e fabricado em uma tecnologia CMOS de $0,35\mu\text{m}$ de 2 poli n-poços de 4 metais padrão. Devido à limitação da área de silício para o projeto, uma matriz maior não pôde ser implementada [5].

O layout de um único píxel da matriz projetada é apresentado na Fig. 15 (b). O tamanho de cada píxel da matriz é $10\mu\text{m} \times 10\mu\text{m}$. O fator de preenchimento de cada píxel é de 56%. O fotodiodo é um diodo n + -difusão / p-sub com área total de $61\mu\text{m}^2$ e perímetro de $38,5\mu\text{m}$. Os transistores M1 (reset), M2 (amplificador unitário) e M3 (seletor de linha), assim como o amplificador de coluna M4, têm as mesmas dimensões: $W = 0,70\mu\text{m}$ e $L = 0,35\mu\text{m}$. Todos os píxels de uma única coluna compartilham o mesmo transistor amplificador de coluna M4 e as mesmas conexões RST e RDR. E em uma fileira, todos os píxels compartilham a mesma conexão SEL [5].

O fotodiodo do píxel é um dispositivo semiconductor de junção P-N, no qual possui uma capacitância associada à camada de depleção. Essa capacitância é carregada através da fonte V_{DD} e o controle de carga é feito pelo transistor de reset, quando iluminado por certo tempo, aumentando sua condutância e descarregando a carga adquirida. O transistor seguidor de fonte (buffer) é fundamental para desacoplar a capacitância do fotodiodo da capacitância de linha de leitura, reduzindo o ruído kTC (ruído térmico dominante em baixos níveis de iluminação e associado com o reset da tensão do capacitor do fotodiodo) [23]. Por fim, o transistor de seleção de linha é acionado para liberar a leitura da tensão presente no fotodiodo após a descarga do capacitor.

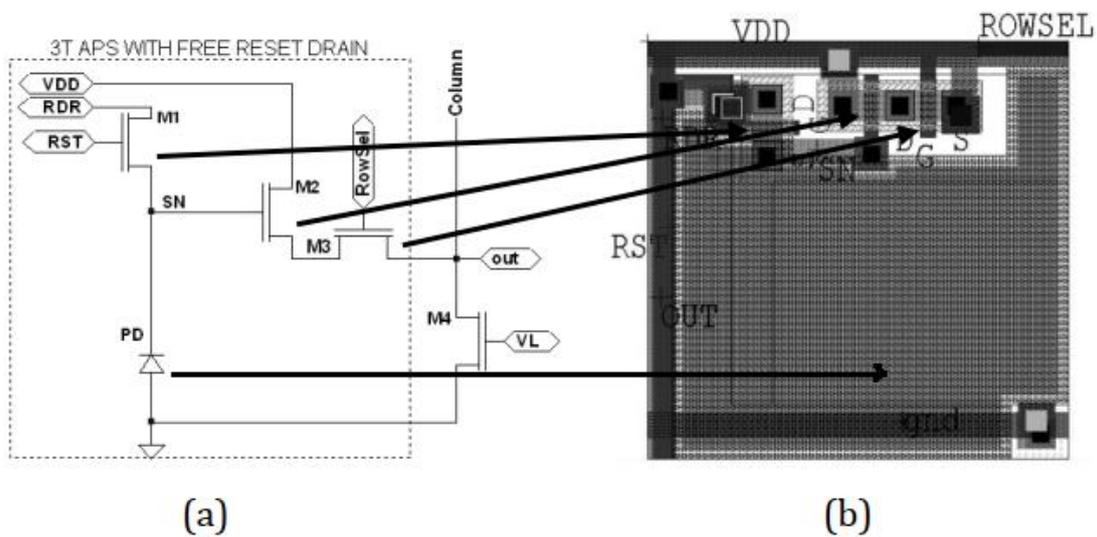


Figura 15 - (a) Diagrama esquemático 3TAPS; (b) Layout de um píxel $10\mu\text{m} \times 10\mu\text{m}$ e fator de preenchimento de 56%

Os transistores utilizados nos circuitos de controle (de linha e coluna) do píxel é mostrado na figura 16, na tecnologia C35B4C3, na qual, cada transistor CMOS é composto pelas camadas de metal 1, 2, 3, 4, capacitor PIP e uma camada de polisilício.

O transistor NMOS possui uma região fortemente dopada, denominada n+, cuja profundidade é de $0.2\ \mu\text{m}$. Essa camada é utilizada para a construção do fotodiodo de cada píxel.

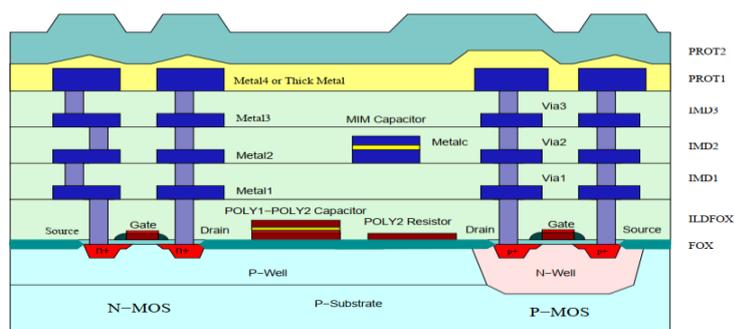


Figura 16 - Esquemático do transistor utilizado nos circuitos de controle [27].

3. ANÁLISE DAS NÃO IDELIDADES DO CIRCUITO APS DO CHIP IR2

Este trabalho apresenta um estudo sobre as possíveis causas de degradação do sinal do píxel em função do sinal de controle ERDR. Para isso, foram realizadas simulações, no software LTSPICE, com o píxel 3TAPS (sensor de píxel ativo de três transistores) operando no modo Linear-Logarítmo (Lin-Log). Com o objetivo de avaliar melhor os efeitos de degradação dos sinais de controle RDR e da resposta do sensor, em função de resistências na vizinhança do píxel, as simulações foram divididas em três cenários:

- Cenário 1: Píxel usando fontes ideais de tensão.

No cenário 1, os pulsos elétricos (sinais RDR e RST) foram gerados por fontes ideais de tensão, sem considerar o efeito de resistência interna da fonte de alimentação e de circuitos de controle.

- Cenário 2: Píxel com os circuitos externos de apoio que geram os sinais de controle RDR e RST;

No cenário 2, sinais RDR e RST foram gerados por circuitos apropriados externos ao píxel;

- Cenário 3: Píxel com os circuitos acrescentados de resistências internas das fontes de tensão e do transistor de reset (transistor M1 em destaque na fig. 3).

No cenário 3, utilizando os circuitos do cenário 2 acrescentados da resistência interna da fonte de alimentação (valor de $100\ \Omega$) e de uma resistência que emula os efeitos resistivos dos circuitos externos ao píxel (circuitos de controle, divisores resistivos, etc).

3.1 Modelo de píxel usando fontes ideais

O esquemático do píxel 3T com dreno de reset livre conectado ao terminal V_{dd} a ser implementado é mostrado na figura 17. As dimensões do transistor são $L=0.35\ \mu\text{m}$ e $W=0.70\ \mu\text{m}$. As dimensões do fotodiodo são: área = $61.1654\ \mu\text{m}^2$ e perímetro = $38.49\ \mu\text{m}$ [5].

A tensão V_L é de 0.8V para polarização do transistor M4. O terminal *gate* de M3 está conectado ao terminal GND, por estarmos fazendo a análise de apenas um píxel, entretanto, para análise da matriz completa o referido terminal recebe uma sequência de bits denominado ROWSEL (seletor de linhas).

O transistor M2 é um seguidor de fonte que atua como Buffer (amplificador de ganho unitário) desacoplando a capacitância do fotodiodo para a leitura de linha. O transistor M1, por

sua vez, representa o maior limitante, apresentando as maiores variações de resistividade ao longo do seu ciclo de operação.

Na capacitância C1 foi usado o valor estimado de 61.6fF [24], devido a esse valor ser adequado para medições de capacitância de pixels, a corrente I_{ph} , (fotocorrente gerada proporcionalmente à intensidade luminosa incidente sobre o píxel) cujos valores práticos utilizados na simulação foi de 1fA a 10 μ A, onde estes são valores estimados com base no artigo [24], representa os diferentes níveis de luminosidade incidentes no fotodiodo.

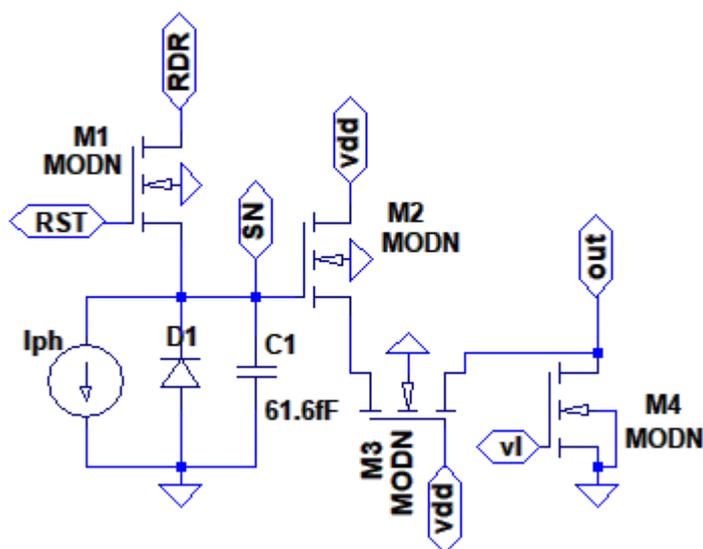


Figura 17 - Píxel 3TAPS com fontes ideais

Para que o circuito da figura 17 opere da forma esperada o conjunto de sinais de controle mostrado na figura 18 deve ser aplicado ao pixel da figura 17. Onde V_{RDR} deve ser o sinal aplicado no nó RDR e o sinal V_{RST} deve ser aplicado ao nó RST. As curvas V_{SN} representam os sinais de tensão desenvolvidos nos terminais do fotodiodo para fotocorrentes variando de 1fA a 1 μ A [25].

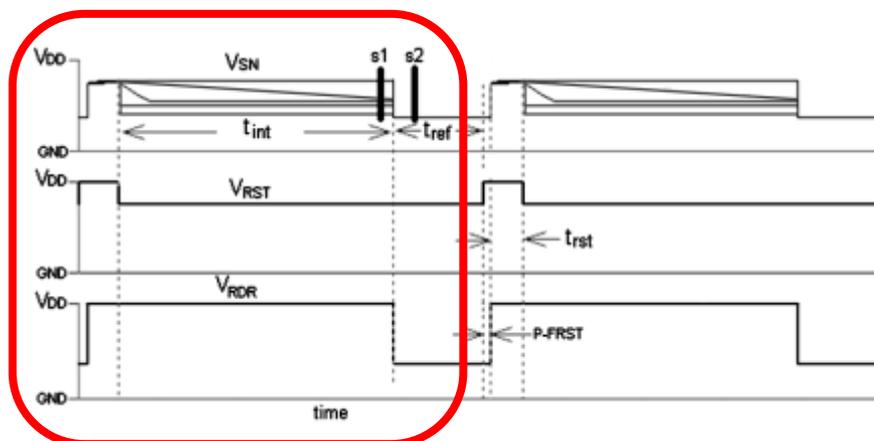


Figura 18 - Sinais de controle aplicados ao píxel da figura 17 [12].

Para as simulações do píxel, foi utilizada uma fonte de tensão V_{dd} de 3.3V, o valor de 2.5V representa o nível mínimo do sinal RST, o qual foi gerado por uma fonte ideal com os parâmetros na tabela 6:

Tabela 6 – Configuração da fonte de tensão VRST

Delay	0
Fall Time	1ns
Rise Time	1ns
Period	20us
Pulse Width	16us
Vhigh	3.3V
Vlow	2.5V

A fonte de tensão V_{RDR} (com nível mínimo de 1.4V e máximo de 3.3V) tem seus parâmetros na tabela 7:

Tabela 7 - Configuração da fonte de tensão VRDR

Delay	0us
Fall Time	1ns
Rise Time	1ns
Period	20us
Pulse Width	16us
Vhigh	3.3V
Vlow	1.4V

A fonte de tensão V_L de 0.8V é usada para polarizar o transistor de carga de coluna.

Ao realizarmos as simulações do píxel da figura 17, introduzindo os sinais de controle da figura 18 com os parâmetros ajustados de acordo com as tabelas 6 e 7, obtemos as respostas V_{sn} (nó sensor) e V_{out} (saída do píxel), exibidos na figura 19.

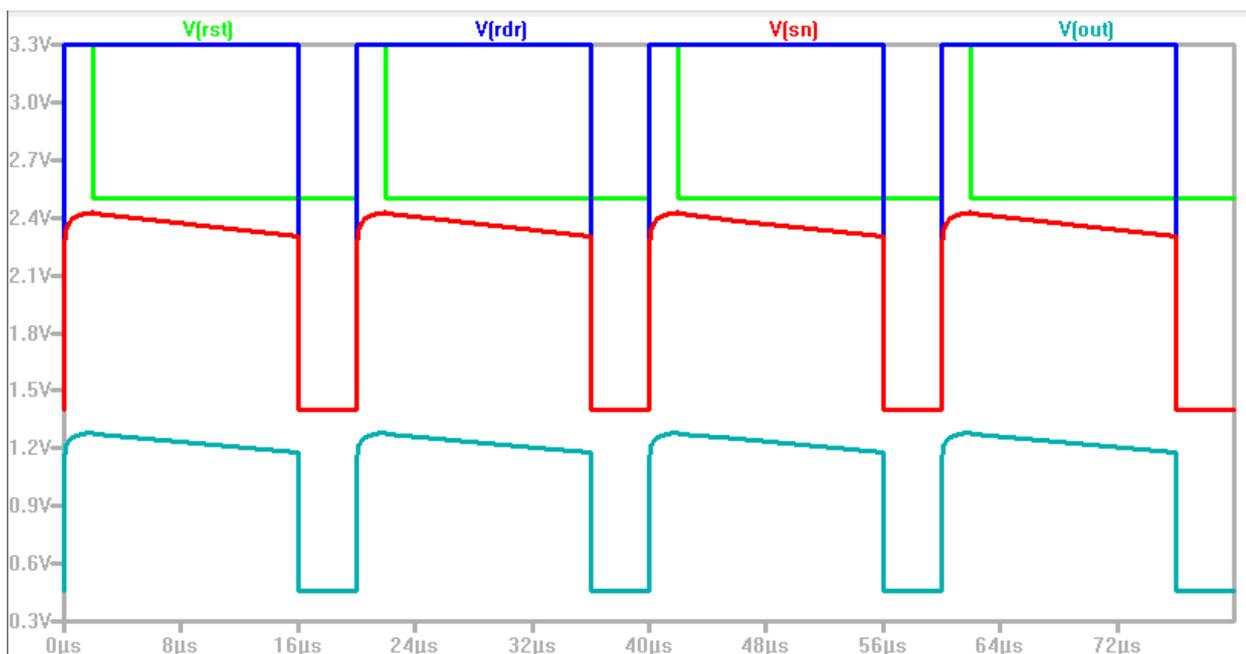


Figura 19 - Curvas de tensão RST, RDR, SN e OUT [autoria própria].

Fazendo uma ampliação na região de decaimento do sinal RDR, observamos o descarregamento da capacitância do fotodiodo de 2.29V para 1.40V em aproximadamente 34ns (nanossegundos), onde o cursor “2” foi posicionado exatamente no ponto de tensão de 1.40V (um vírgula quarenta volts).

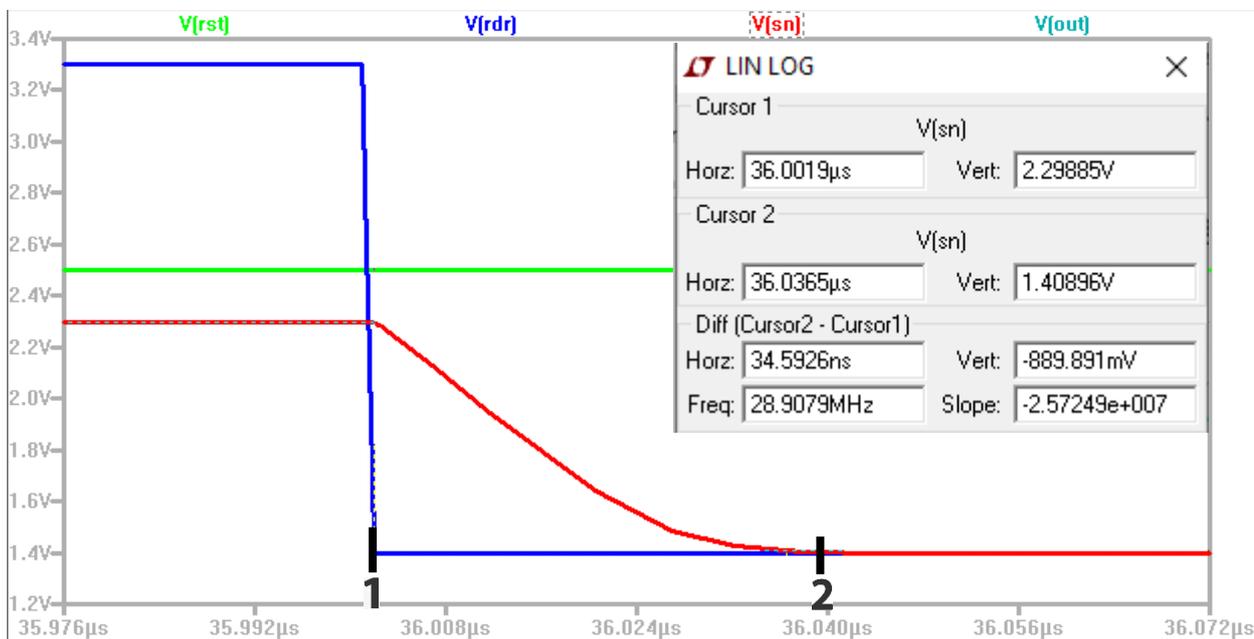


Figura 20 - Tempo de decaimento do nó SN usando todas as condições ideais [autoria própria].

3.2 Modelo de píxel usando fontes não ideais

No esquema mostrado da figura 21, temos três divisores de tensão (a), um circuito gerador de sinal de controle RST (b) e um gerador de sinal RDR (c).

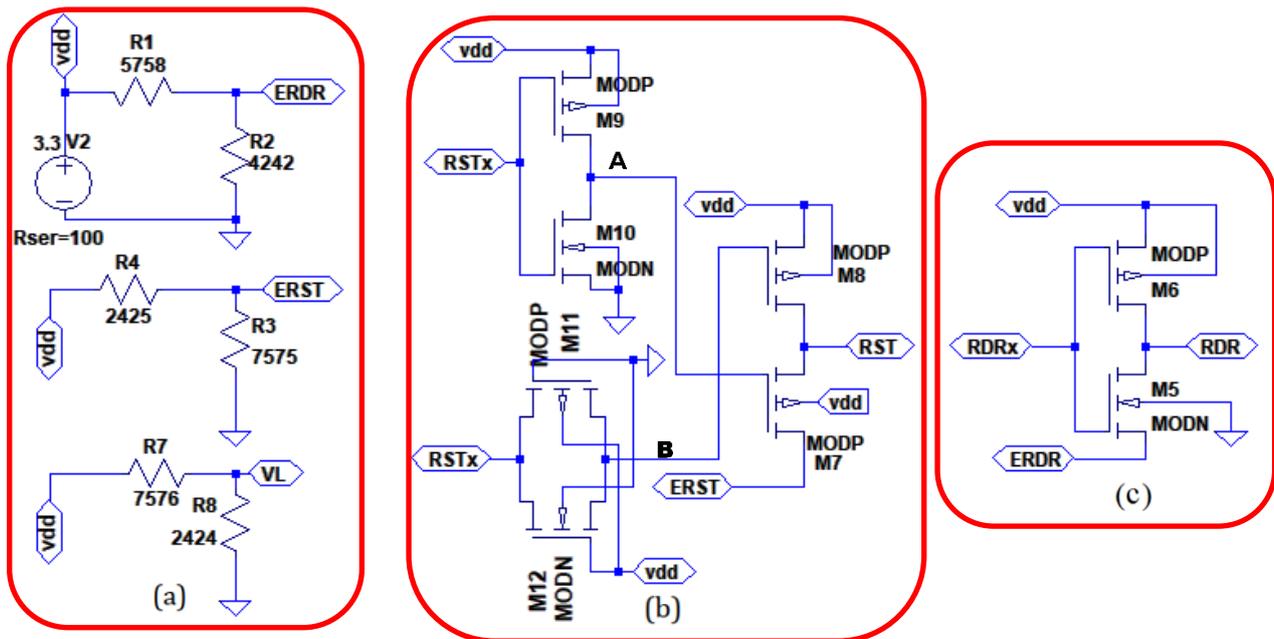


Figura 21 – Divisores de tensão (a), Circuitos geradores dos sinais RST (b) e RDR (c).

Na figura 21(a), os divisores de tensão, cuja soma dos resistores em cada divisor é de $10\text{k}\Omega$, foram utilizados para gerar os níveis de referência de 1.4V (RDR), 2.5V (RST) e 0.8V (V_L). O resultado está exibido na figura 22.

Na figura 21(b), temos o circuito que gera o sinal de controle RST. A estrutura formada pelos transistores M9 e M10 é um inversor lógico, o sinal de entrada RSTx é uma sequencia de pulsos e na saída (ponto A) temos o sinal RSTx invertido. Por sua vez, na saída da estrutura formada pelos transistores M11 e M12 (ponto B) temos o sinal RSTx com um pequeno atraso. Os sinais contidos no ponto A e B são modulados pela estrutura composta pelos transistores M7 e M8 e temos o sinal RST na saída. O sinal referência ERST é de 2.5V sendo obtido por um divisor de tensão com as resistências R1 de 2.425Ω e R2 de 7.575Ω

Na figura 21 (c), temos o circuito inversor lógico que gera o sinal de controle RDR pelo mesmo sinal RSTx na entrada. O sinal referência ERDR é de 1.4V sendo obtido por um divisor de tensão com as resistências R1 de 5.758Ω e R2 de 4.242Ω .

Os níveis de tensão de referência mostrados na figura 22 foram gerados por divisores de tensão e representam o nível mínimo atingível pelos sinais RST, RDR e V_L .

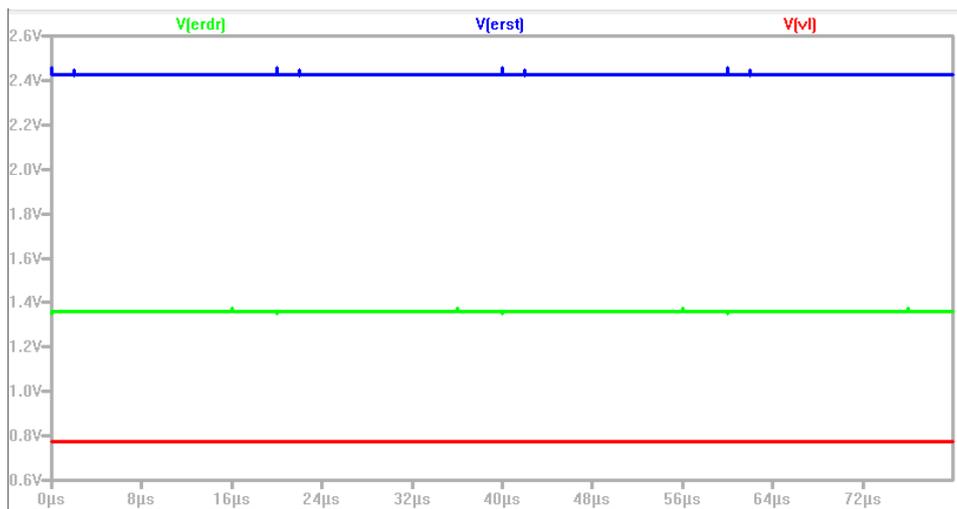


Figura 22 - Níveis de tensão de referência gerados pelos divisores de tensão [autoria própria].

Na figura 23, temos a resposta do píxel com a estrutura montada na figura 21, considerando nulos a resistência interna da fonte de alimentação de 3.3V e a resistência de dreno do transistor de reset M1. Podemos observar os seguintes sinais:

- V(erdr): Tensão de referência de 1.4V gerado por um divisor de tensão;
- V(erst): Tensão de referência de 2.5V gerado por um divisor de tensão;
- V(vl): Tensão de referência de 0.8V gerado por um divisor de tensão;
- V(rdr): Sinal de controle RDR;
- V(rst): Sinal de controle RST;
- V(sn): Resposta do píxel no nó SN (fig. 17).

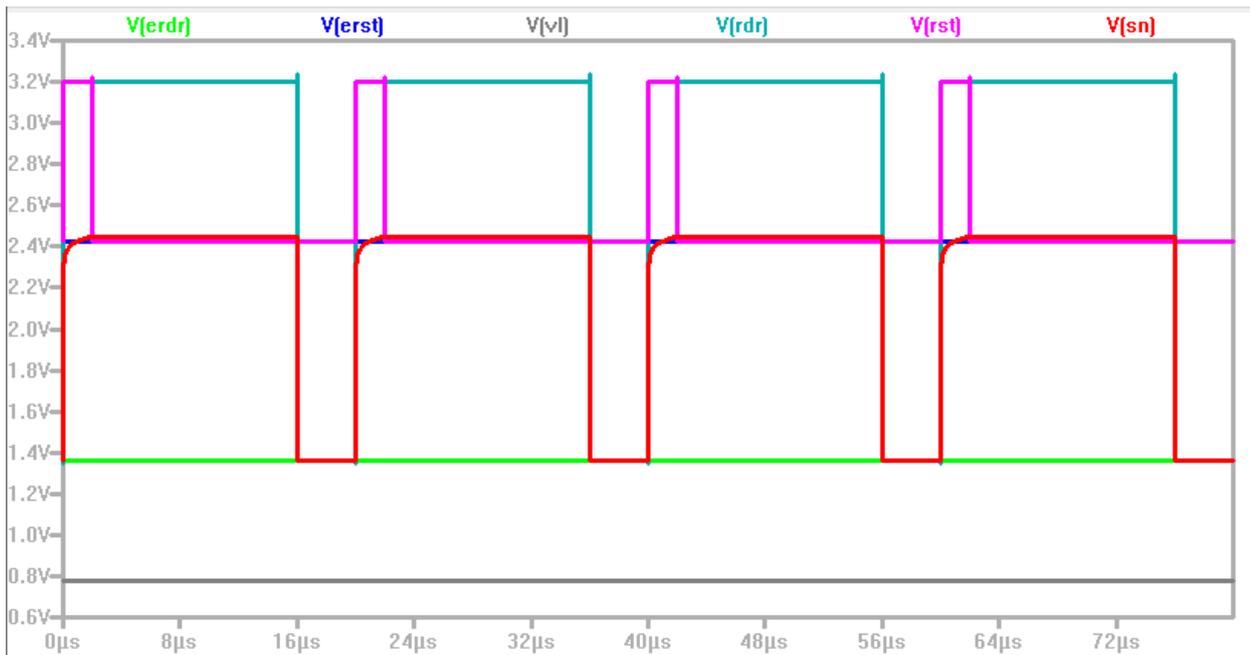


Figura 23 - Resposta do píxel (V_{sn}) com os sinais RST, RDR e níveis de referência [autoria própria].

Ao ampliarmos a região de decaimento do sinal de controle RDR, observamos que o tempo de resposta do píxel (V_{sn}) necessário para a capacitância do fotodiodo descarregar de 2.44V para 1.40V foi de aproximadamente 21ns. Para esta configuração, o gráfico mostra que o tempo de decaimento é 13ns mais rápido que o da fig. 20.

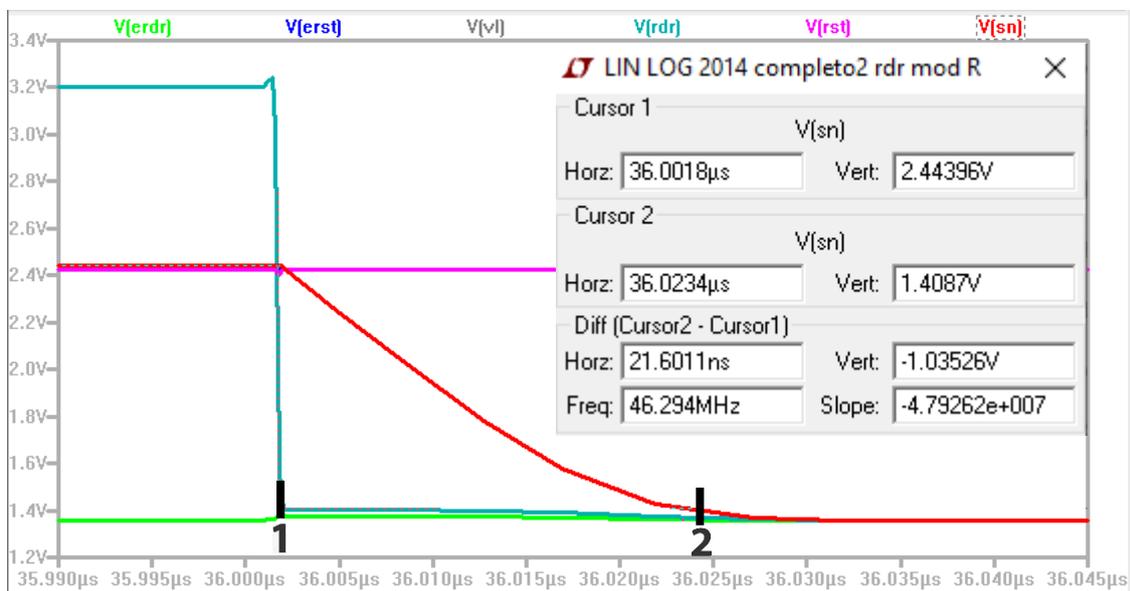


Figura 24 - Tempo de decaimento do nó V_{sn} usando os circuitos de apoio geradores de RST e RDR [autoria própria].

3.3 Modelo de píxel com a inclusão de resistência de dreno.

O esquemático mostrado na figura 25 apresenta os seguintes elementos: três circuitos divisores de tensão usados para produzir níveis de referências de 0.8V (polarização do transistor M3), 1.5V (nível mínimo do sinal RDR) e 2.5V (nível mínimo do sinal RST), também é representado, em destaque, no divisor de tensão, uma resistência interna da fonte de alimentação no valor 100Ω .

O sinal RDR é gerado por um circuito inversor (transistores M5 e M6). Na entrada, temos o sinal RDRx gerado por um gerador de pulsos ideal e na saída o sinal de RDR o qual é injetado no terminal de dreno do transistor M1 do píxel.

O sinal RST é gerado pela estrutura contendo os transistores M9 e M10 (inversor lógico), M11 e M12 (buffer). O sinal RST modulado obtido na saída dos transistores M8 e M9 é injetado no *gate* do transistor de reset do píxel.

No dreno do transistor M1 do píxel, foi adicionado intencionalmente, em destaque, uma resistência de $1M\Omega$, usada para representar os efeitos resistivos de todos os circuitos em volta do píxel.

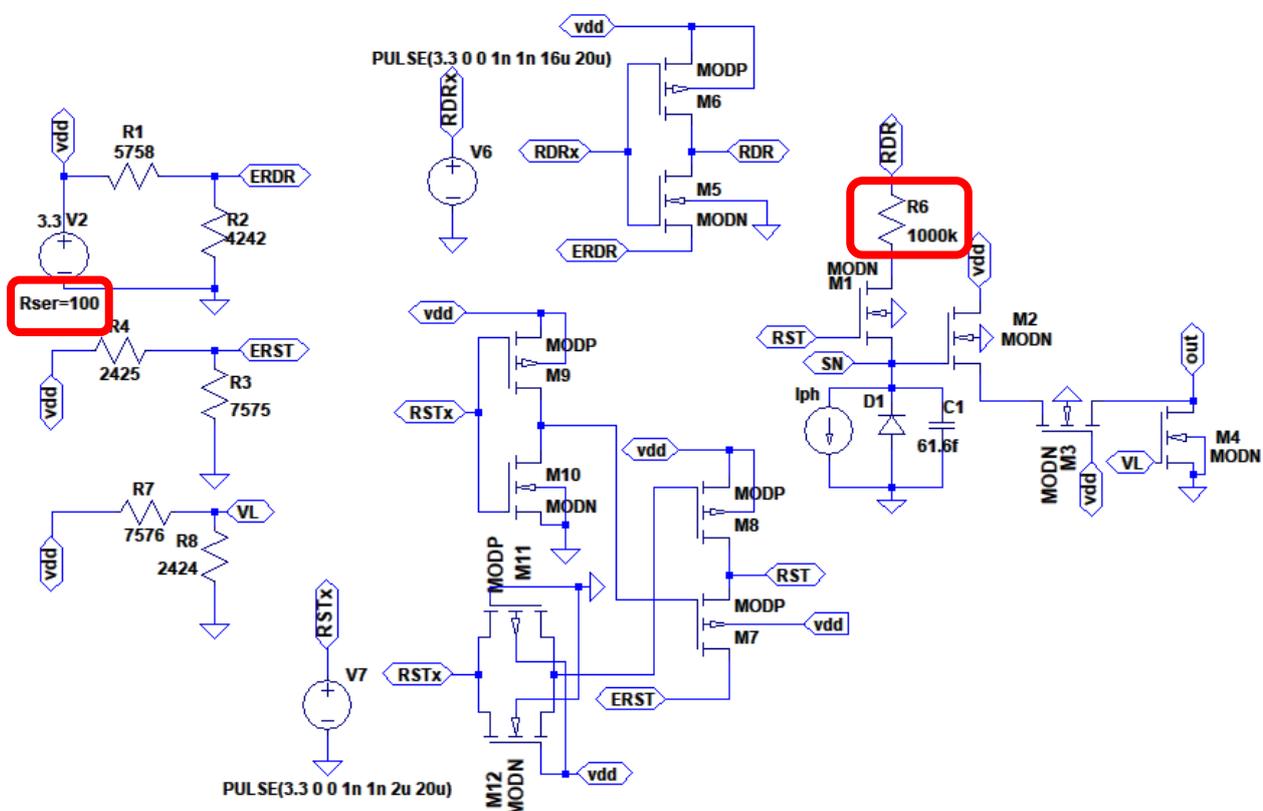


Figura 25 - Modelo de píxel com as resistências internas das fontes e no dreno do transistor M1.

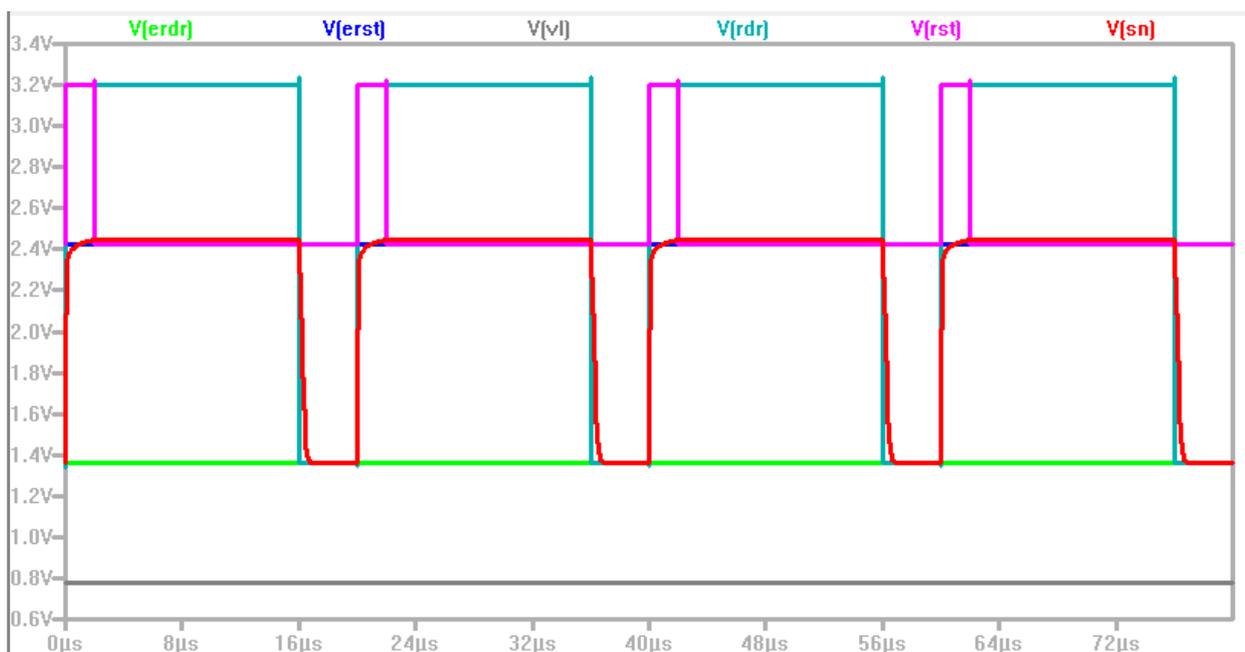


Figura 26 - Resposta do píxel (V_{sn}) com efeito resistivo do transistor M1 e da fonte de tensão [autoria própria].

Na figura 26, temos as formas de onda do circuito da figura 25, na qual temos os três níveis de tensão de referência (ERDR, ERST e V_L), sinal de controle RDR e RST e a resposta no nó SN do píxel. Observando as curvas de decaimento dos sinais $V(sn)$ da figura 26 com o da figura 23, notamos uma diferença devido à presença da resistência no dreno do transistor de reset do píxel.

Adicionamos, ao circuito da figura 25, o valor de resistência interna de $1k\Omega$ da fonte de alimentação V_{dd} para avaliar o efeito dessa não idealidade. As simulações mostraram distorções no sinal contínuo de alimentação V_{dd} , o qual apresentou-se como uma sequência de pulsos invertidos, com amplitude de 2.6V (devido ao valor de resistência interna de $1k\Omega$) em vez de 3.3V, além de degradação nos níveis máximos e mínimos de RST e RDR, ilustrando que não deve desprezar os efeitos resistivos das fontes de alimentação, conforme exibido na figura 27.

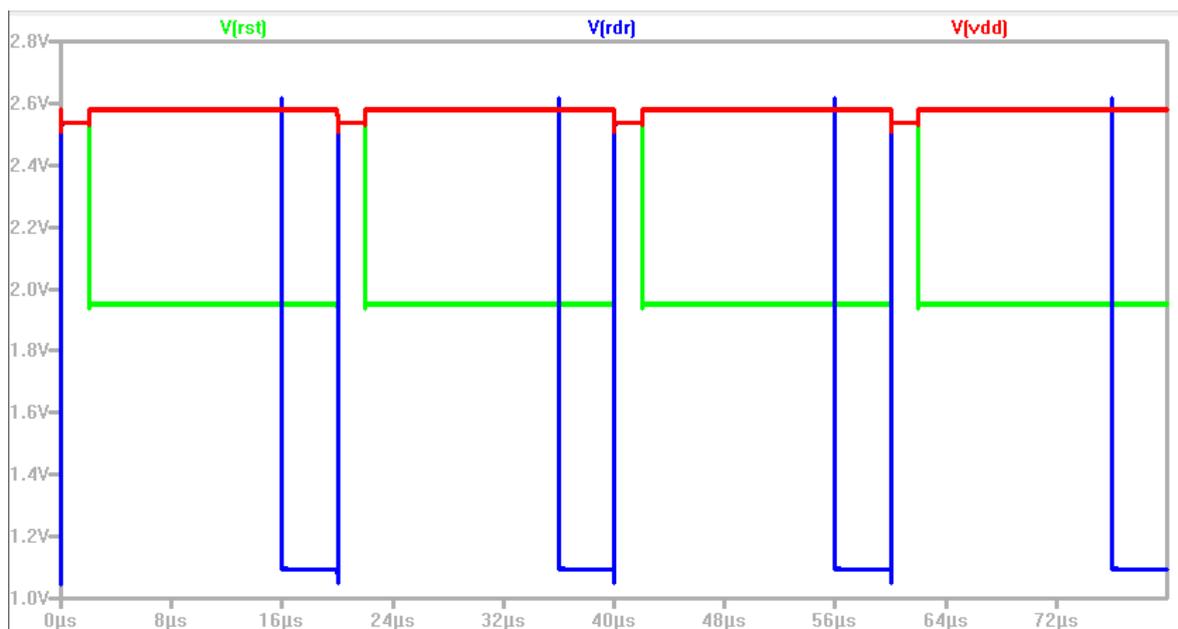


Figura 27 - Formas de ondas dos sinais RST, RDR e VDD para resistência interna da fonte de alimentação de $1k\Omega$.

Para reduzir o problema do efeito negativo da resistência interna da fonte de alimentação, consideramos adequada a utilização da resistência interna com valor de 100Ω , a qual é a que mais se aproxima do modelo real.

Foi adicionado, também, uma resistência de dreno do transistor de reset com valor de $1M\Omega$ para verificarmos o efeito que essa não-idealidade causa ao circuito. As simulações mostraram que o tempo de resposta do píxel aumentou de 21ns para 552 ns, conforme fig. 28, ou seja, bem mais lento que o circuito sem a presença da resistência de dreno.

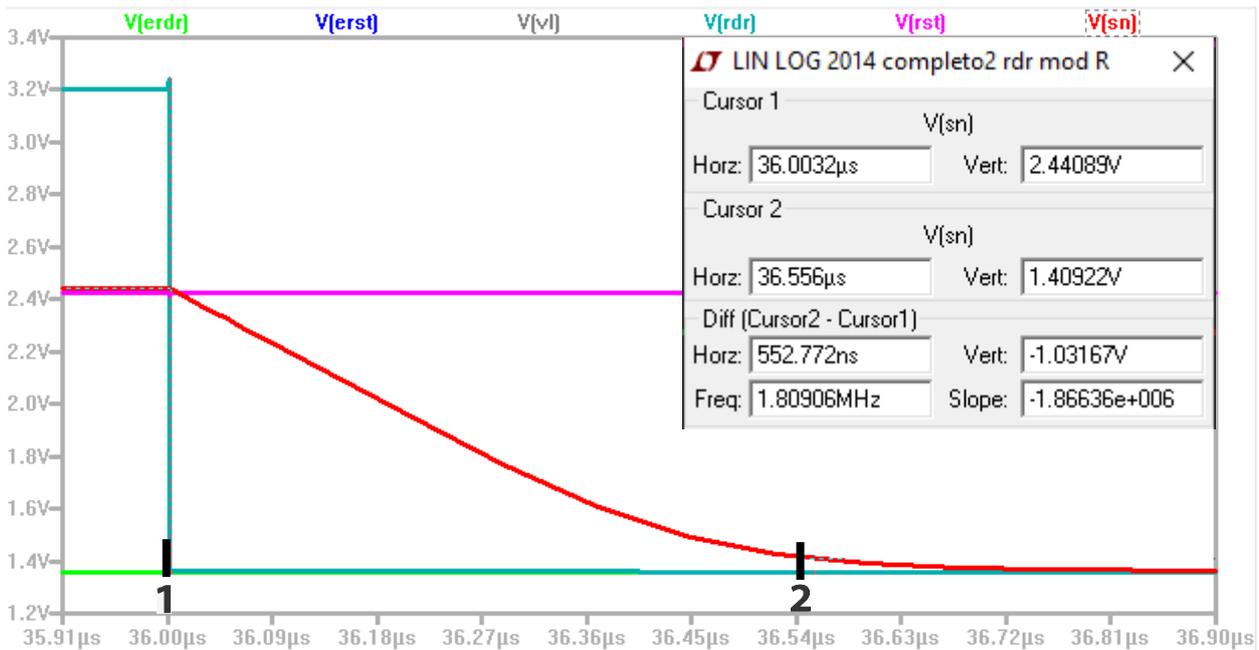


Figura 28 - Tempo de decaimento do nó Vsn com o efeito resistivo do transistor M1 e da fonte de tensão [autoria própria].

A tabela 8 apresenta uma comparação entre os modelos das seções 3.2 (desconsiderando a resistência interna da fonte de alimentação e do dreno do transistor de reset) e 3.3 (considerando o efeito das duas resistências). Os resultados das simulações mostram que o modelo não-ideal é 26 vezes mais lento que o modelo ideal.

Tabela 8 - Comparação do tempo de descarga dos modelos das seções 3.2 e 3.3.

Modelo	Não-idealidade	Resistência	Tempo de descarga
Ideal	Fonte de Alimentação	0	21ns
	Dreno de M1	0	
Não-ideal	Fonte de Alimentação	100Ω	552ns
	Dreno de M1	1MΩ	

3.4 Análise do efeito da temperatura

Para avaliarmos o quanto o aumento de temperatura influencia no desempenho do chip IR2 foram realizadas simulações no LTSPICE, com temperatura inicial de 27 °C, temperatura final de 77 °C, com incrementos de 5 °C. A figura 29 apresenta as formas de onda da tensão Vsn, onde observamos variações na amplitude do sinal.

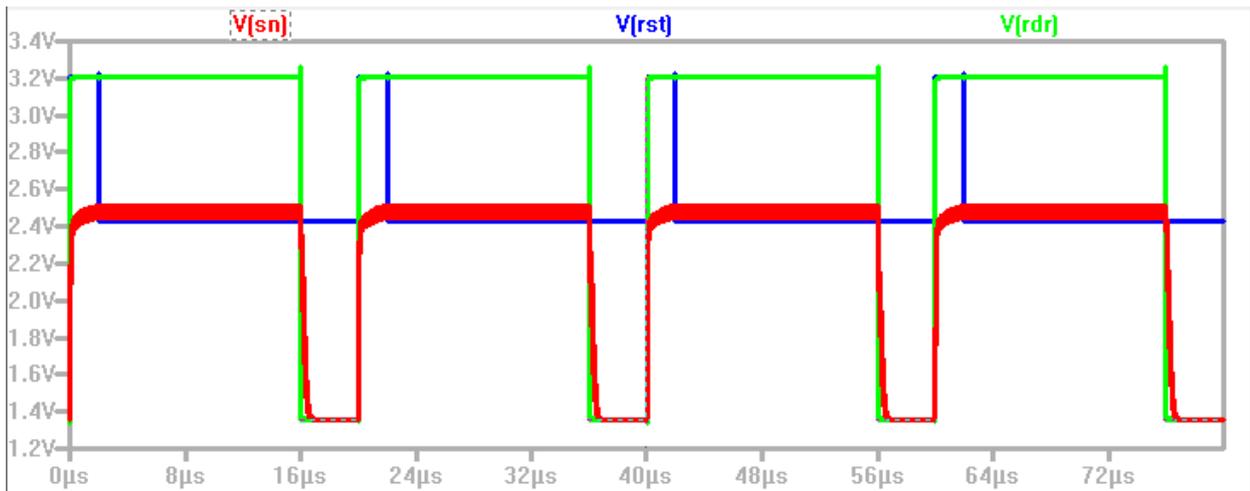


Figura 29 - Formas de onda para o efeito da temperatura.

A figura 29 mostra que o aumento da temperatura no chip não apresenta variação relevante no tempo de resposta do píxel. A diferença entre os tempos de resposta mostrado na fig. 28 e na fig.30 é de apenas 3ns.

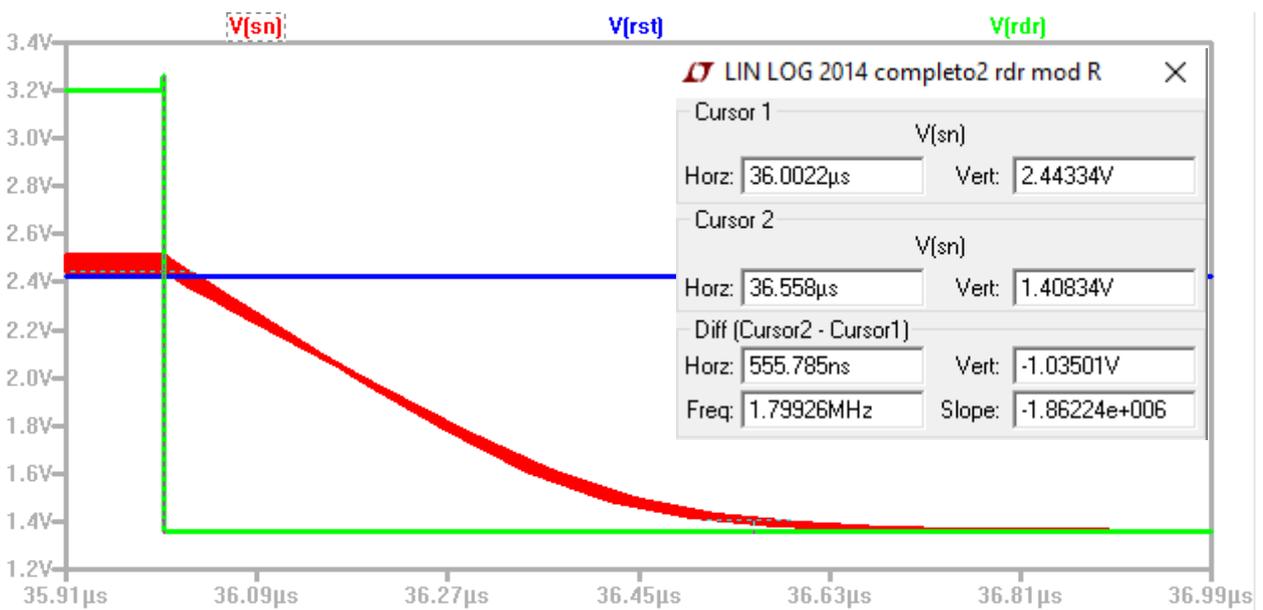


Figura 30 - Tempo de resposta considerando o efeito do aumento de temperatura.

A tabela 9 apresenta dez situações de simulações realizadas no LTSPICE para análise do efeito de temperatura. A situação 1 indica que o tempo de descarga do fotodiodo é de 553,108 ns quando a temperatura aumenta de 27 °C para 32 °C. Na situação 2, quando a temperatura se eleva de 32 °C para 37 °C o tempo de resposta é de 550,844 ns e assim por diante. Observa-se que o aumento de temperatura reduz o tempo de descarga. Na tabela também temos informações sobre o tempo máximo, mínimo e médio de descarga, com desvio padrão de 8,12 ns.

Tabela 9 - Tabela comparativa do tempo de resposta em função do aumento de temperatura.

Situação	Temperatura (°C)	Tempo de descarga
1	27 – 32	553,108 ns
2	32 – 37	550,844 ns
3	37 – 42	547,546 ns
4	42 – 47	544,246 ns
5	47 – 52	543,323 ns
6	52 – 57	539,169 ns
7	57 – 62	534,646 ns
8	62 – 67	533,742 ns
9	67 – 72	532,315 ns
10	72 – 77	530,031 ns
Tempo máximo de descarga		553,108 ns
Tempo mínimo de descarga		530,031 ns
Tempo médio de descarga		541,246 ns
Desvio Padrão		8,12 ns

4. SOLUÇÃO PROPOSTA E COMPARAÇÃO COM OS RESULTADOS DO CIRCUITO ORIGINAL

4.1 Circuito gerador do sinal RDR

O circuito RDR realiza o controle da modulação do nível baixo aplicado ao dreno do transistor de reset para que a tensão de referência seja produzida. O seguinte esquemático para o circuito de controle foi montado conforme demonstrado na figura 31, com os devidos terminais de entrada e saída conectados.

Foi confeccionado um divisor de tensão para gerar um nível de referência ERDR de 1.4V, o qual será o decaimento máximo do sinal de RDR.

A arquitetura desse circuito de controle de sinal RDR será implementada fora do píxel.

O sinal RDRx é gerado por uma fonte de pulsos ideal com os seguintes parâmetros:

- Nível mínimo: 0V
- Nível máximo (amplitude): 3.3V
- Período: 20 μ s
- Tempo de subida do pulso: 1ns
- Tempo de descida do pulso: 1ns
- Duração do pulso (Ton): 10ns

O referido sinal é injetado na entrada do inversor lógico (composto pelos transistores M5 e M6) e sua saída é um pulso invertido (RSTx_barra). A estrutura composta pelos transistores M3 e M4 modula o sinal RST_barra com o nível mínimo de 1.4V, gerado pelo divisor de tensão.

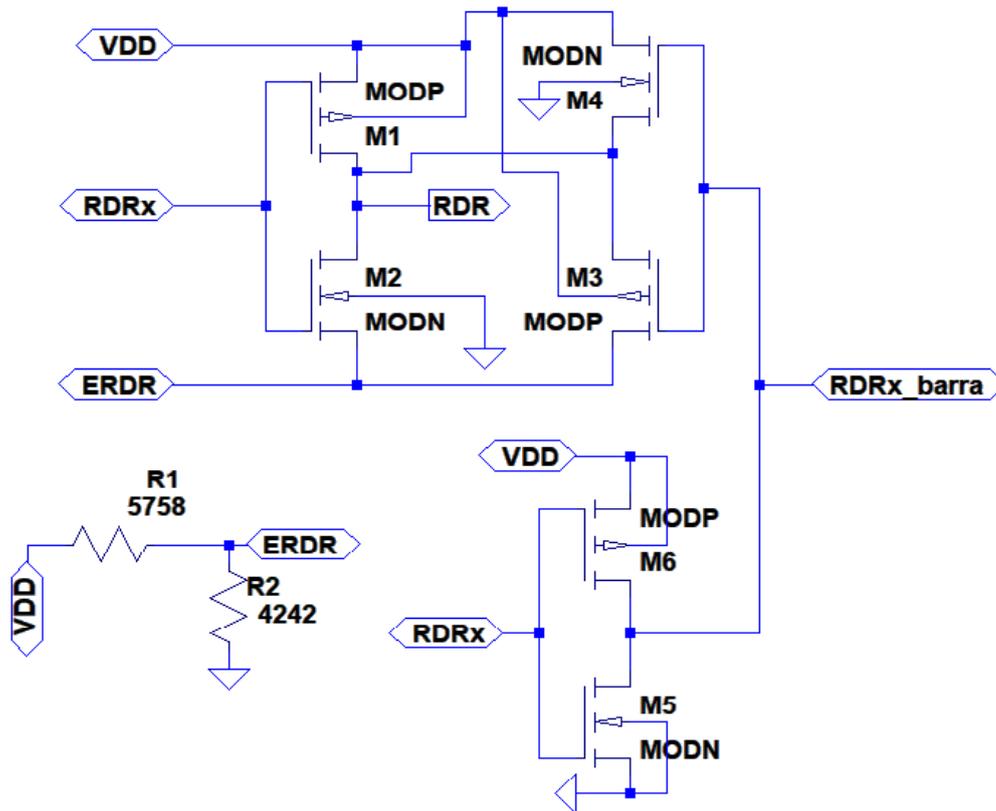


Figura 31 - Nova arquitetura de circuito de controle RDR proposta.

O circuito da figura 31 é composto por três estruturas: a superior esquerda e a inferior são um inversor lógico, a estrutura superior direita atua elevando o nível mínimo de \overline{RDRx} de 0V para 1.4V. Os sinais de entrada (RDRx) em verde e saída (RDR) em vermelho do circuito, estão demonstrados na figura 32. Para a simulação, utilizamos os dados da tabela 7.

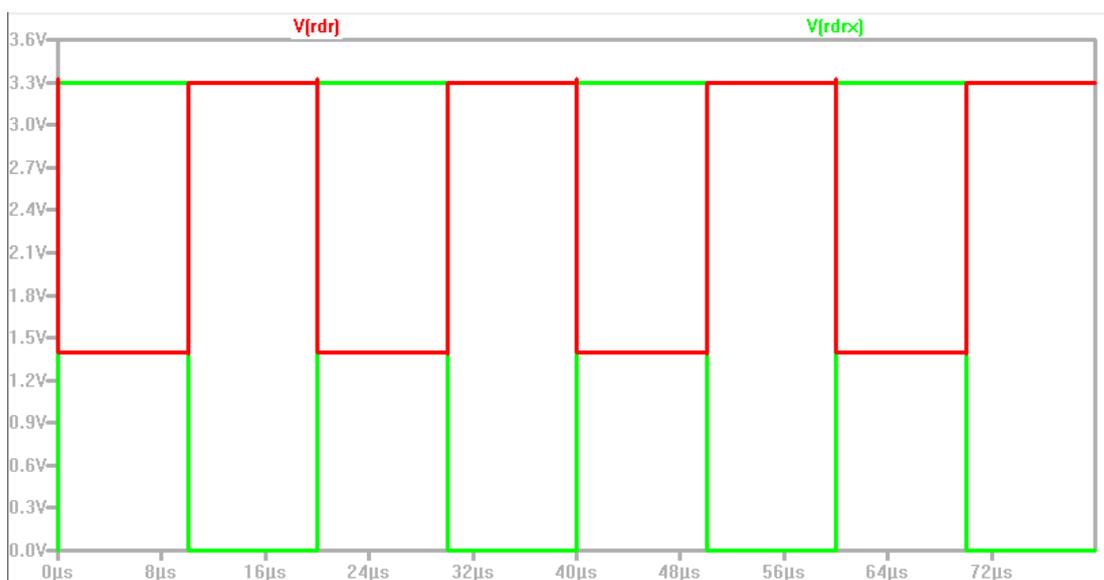


Figura 32 - Sinal RDR gerado pelo circuito da figura 7.

Por meio da figura 31 pode-se entender melhor o funcionamento do circuito inversor. Temos dois instantes a serem considerados nas formas de onda, quando RDRx está em alto com o valor de 3.3V, o transistor M1 do esquemático está aberto, enquanto que o transistor M2 está conduzindo e o ponto RDR assume o valor da fonte ERDR com o valor de 1.4V. O Segundo momento a ser considerado é o RDRx em baixo, temos agora a situação inversa, o transistor M1 está conduzindo enquanto que o transistor M2 estará em corte e o ponto ERDR assume o valor de VDD [13].

4.2 Circuito gerador do sinal RST

O circuito RST realiza o controle de modulação do nível baixo do sinal de reset, cujo esquemático é apresentado na figura abaixo. O seguinte esquemático para o circuito RST foi montado conforme demonstrado na figura 33, com os devidos terminais de entrada e saída conectados. A arquitetura do circuito de controle de sinal RST será implementada fora do píxel.

O sinal RSTx é gerado por uma fonte geradora de pulsos ideal e aplicado nas estruturas compostas pelos transistores M1-M2 (circuito inversor lógico) e M5-M6 (buffer), com os seguintes parâmetros:

- Nível mínimo: 0V
- Nível máximo (amplitude): 3.3V
- Período: 20 μ s
- Tempo de subida do pulso: 1ns
- Tempo de descida do pulso: 1ns
- Duração do pulso (Ton): 10ns

O sinal de saída do inversor lógico é um pulso invertido e injetado no *gate* dos transistores M4 e M7. Já o sinal de saída do buffer possui o mesmo formato de RSTx, porém, com um leve atraso. Esse sinal é aplicado no gate dos transistores M3 e M8.

O circuito divisor de tensão, composto pelos resistores R1 e R2 possui a função de gerar uma tensão de referência de 2.5V (ERST), a qual, será o nível mínimo do sinal RST (figura 34).

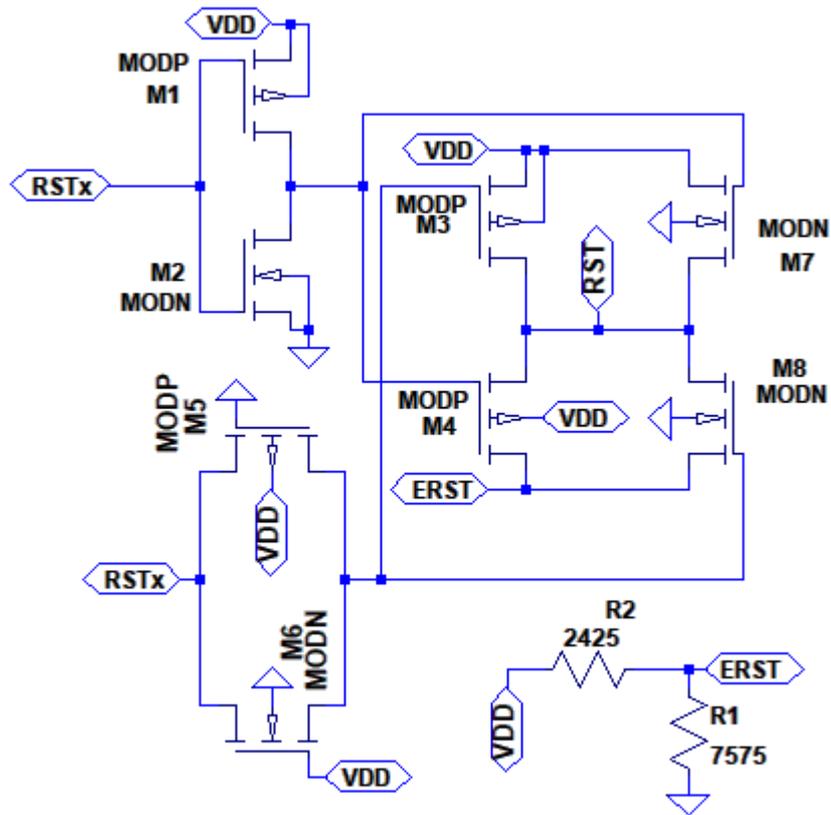


Figura 33 - Nova arquitetura do circuito de controle RST.

Os sinais de entrada (RSTx) em verde e saída (RST) em vermelho do circuito estão demonstrado na figura 34:

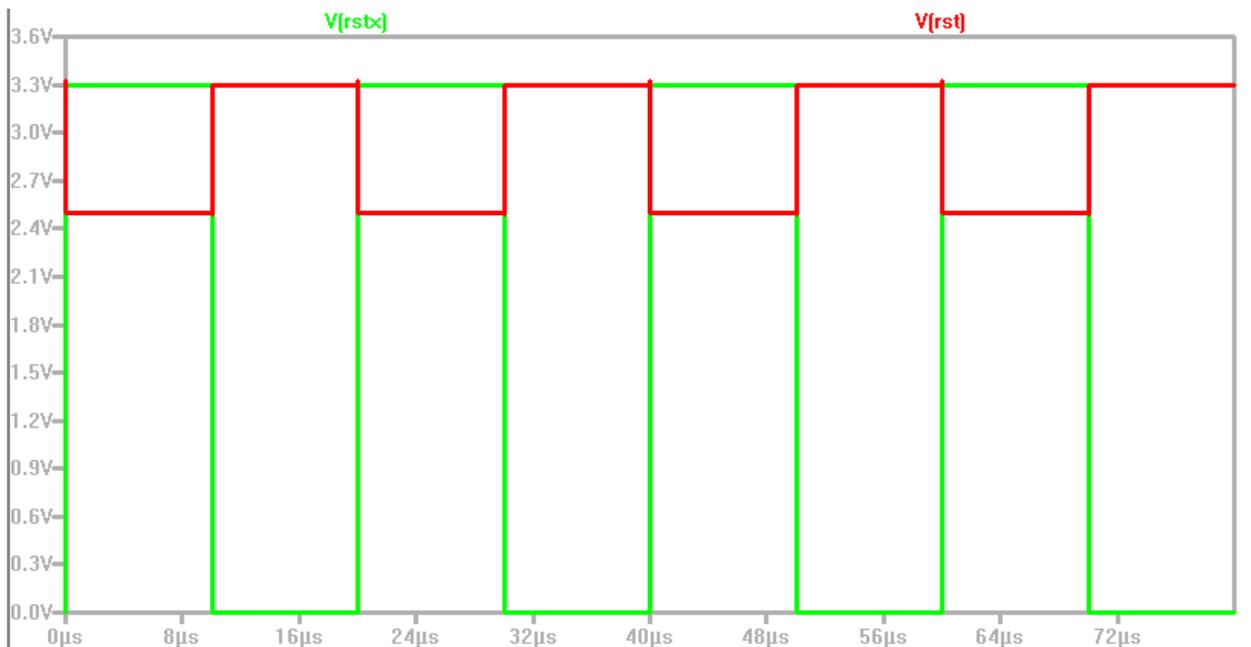


Figura 34 - Sinal de controle RST gerado pelo circuito da figura 9.

O circuito RST da figura 33 está dividido em três subcircuitos: inversor lógico (M1 e M2), Buffer (M5 e M6) e circuito modulador (M3, M4, M7 e M8). O inversor lógico inverte o sinal de entrada RSTx, o circuito buffer é uma estrutura que está sendo usada para gerar um atraso com relação ao sinal RSTx, e por fim temos o circuito modulador que recebe tanto o sinal invertido do RSTx no *gate* dos transistores M4 e M7, e o sinal de RSTx com certo atraso entrando no *gate* do transistor M3 e M8. Quando se considera o pulso de RSTx em alto, temos a seguinte situação acontecendo na estrutura que contém M1 e M2: o transistor M1 fica em alta impedância ou corte devido o sinal em alto ser aplicado diretamente no *gate*, enquanto que o transistor M2 está em condução fazendo com que o potencial do terminal de ERST com o valor de 2.5V esteja conectado diretamente com o terminal de RST, sendo assim o valor do terminal de RST será de 2.5V. A segunda situação a ser considerada apresenta-se de forma inversa, temos que quando o pulso estiver em baixo o transistor M1 da estrutura estará com nível baixo sendo aplicado no *gate* do transistor, fazendo com que ele entre em condução, enquanto que o M2 estará com o sinal invertido e logo entrará em alta impedância, o terminal de RST terá o mesmo valor que o terminal de V_{DD} [26].

Na simulação, a contribuição desse circuito não apresentou vantagens relevantes quanto ao tempo de resposta do píxel. Entretanto, apresenta vantagens de melhoramento do desempenho da resistividade do canal por onde o sinal flui, agindo como um buffer.

O circuito da figura 33 também apresenta nível de resistividade mais imune à variação de temperatura (mais robusto para operação em regime de temperatura menos adequada), haja vista a influência desta na resistividade dos transistores, o que pode degradar o sinal. Contudo, para visualização dessas vantagens, que não são mostradas na simulação, é necessário uma discussão e análise mais rígida comparando com o circuito experimental.

A proposição desta arquitetura terá pouco impacto no tamanho do circuito pois serão células unitárias depositadas em uma linha ou coluna, não afetando expressivamente em termos de área, comparada a um aumento de área dos pixels, o qual seria muito mais problemático.

É provável que o aumento de temperatura influencie na resistividade do circuito que será ligado a uma coluna ou a uma linha, sendo esse circuito mais robusto para operação em regime de temperatura menos adequados.

4.3 Tempo de decaimento da resposta do sensor

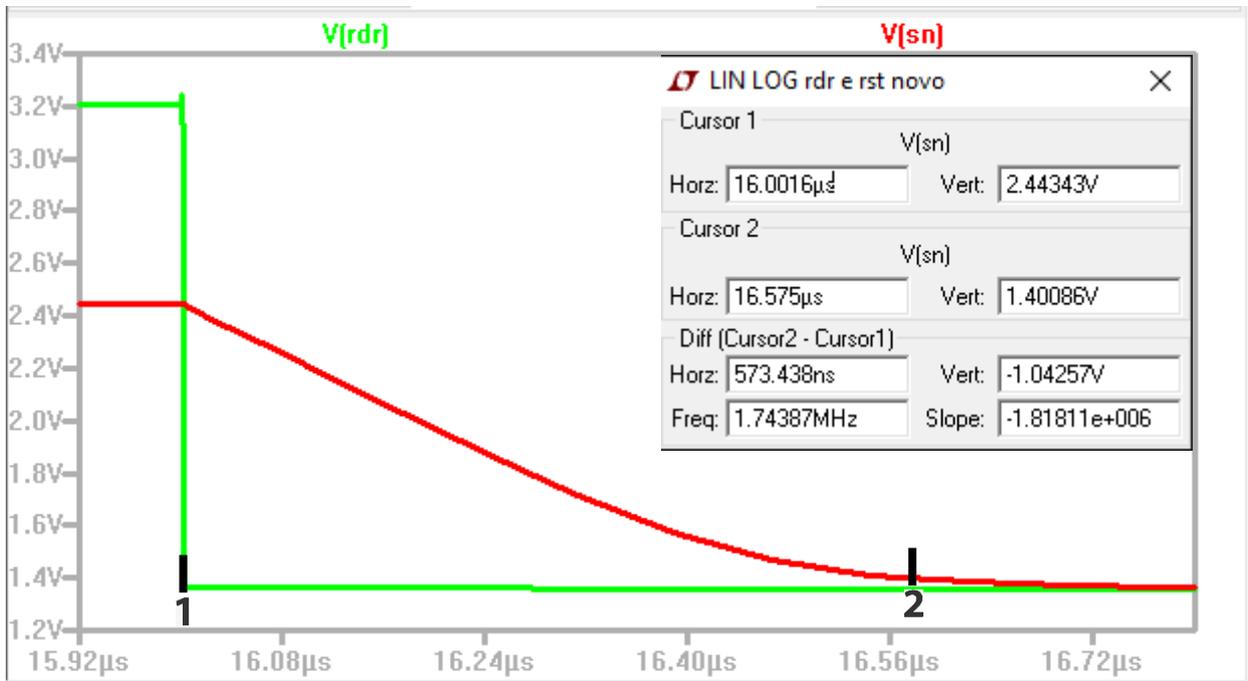


Figura 35 - Resposta do píxel utilizando o novo circuito de RDR.

A resposta observada na figura 35 foi obtida considerando a resistência interna da fonte de alimentação de 100Ω , resistência de dreno do transistor M1 de $1M\Omega$ e uma fotocorrente incidente de $1pA$. Também observamos que a capacitância do fotodiodo descarrega de $2.443V$ para $1.400V$ no tempo de $573ns$ (nanossegundos), que é a diferença entre as marcações 1 e 2 na figura. O critério definido para o posicionamento do cursor 2 foi ajustá-lo exatamente no ponto de descarregamento vertical de $1.400V$ (um ponto quatrocentos volts), com três casas decimais, para melhor precisão das medidas, haja vista que o critério de cinco constantes de tempo de descarga de um circuito RC não foi adequado o caso em análise por envolver outras variáveis que não é possível mensurar um um simulador.

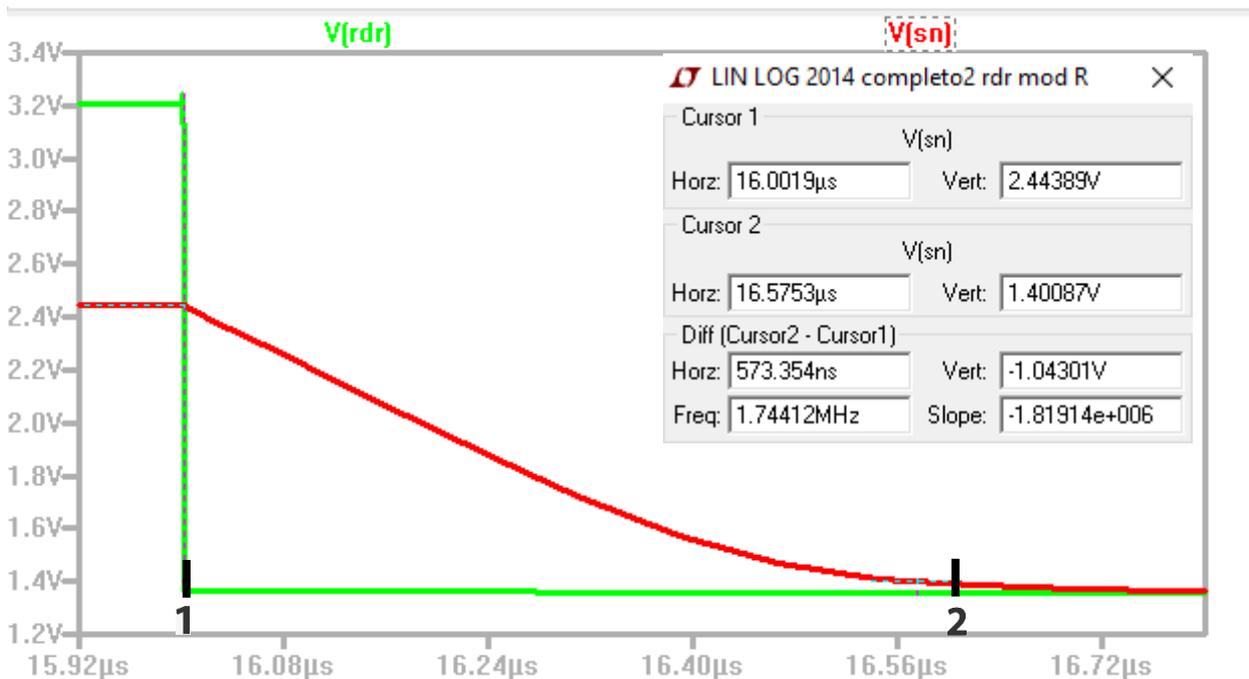


Figura 36 - Resposta do píxel usando o circuito anterior de RDR.

A resposta observada na figura 36 foi obtida considerando a resistência interna da fonte de alimentação de 100Ω , resistência de dreno do transistor M1 de $1M\Omega$ e uma fotocorrente incidente de $1pA$, usando a arquitetura antiga de controle de RST e RDR. Também observamos que a capacitância do fotodiodo descarrega de $2.443V$ para $1.400V$ no tempo de $573ns$ (nanossegundos). O critério definido para o posicionamento do cursor 2 foi o mesmo adotado para definir o tempo de resposta da figura 35.

Observamos o mesmo tempo de decaimento quanto se utiliza a arquitetura antiga e a nova.

4.4 Comparação de desempenho do modelo antigo com a solução proposta

O circuito gerador do sinal RDR antigo (inversor lógico apresentado na fig. 21-c) proporcionou um tempo de resposta do píxel de $573ns$ (fig. 36), para uma fotocorrente de $1pA$. Com o circuito novo (fig. 31) o decaimento também é de $573ns$ (fig. 35).

A tabela 10 apresenta uma comparação de desempenho com base no tempo de resposta do píxel modelo ideal antigo, não-ideal antigo e não-ideal novo.

Com isso, observa-se que com a solução proposta (modelo não-ideal novo) a resposta foi essencialmente a mesma, ou seja, não houve ganho expressivo de tempo em relação ao modelo não-ideal antigo.

Também foram realizadas simulações para avaliar o efeito da resistência do transistor de reset atribuindo valores de $1\text{k}\Omega$, $10\text{k}\Omega$, $100\text{k}\Omega$, e $1\text{M}\Omega$, mantendo constante a resistência interna da fonte de alimentação (100Ω). Os tempos de resposta foram: 19 ns, 25 ns, 79 ns e 481 ns, respectivamente. Isso representa que quanto maior for a resistência interna do transistor de reset, onde ocorre a descarga da capacitância do fotodiodo, maior será o tempo de resposta do píxel.

Tabela 10 - Comparação de desempenho do modelo antigo com a solução proposta.

Modelo	Não idealidade	Resistência	Tempo de descarga
Ideal antigo	Fonte de Alimentação	0	21ns
	Dreno de M1	0	
Não-ideal antigo	Fonte de Alimentação	100Ω	573ns
	Dreno de M1	$1\text{M}\Omega$	
Não-ideal novo	Fonte de Alimentação	100Ω	573 ns
	Dreno de M1	$1\text{M}\Omega$	

5. DESENVOLVIMENTO DO LAYOUT DOS CIRCUITOS DE CONTROLE

Foram desenvolvidos os layouts das novas topologias dos circuitos de controle de RDR e RST no software Microwind. Na figura 37, temos o layout do circuito de controle de sinal RDR com as seguintes indicações:

- Vdd: tensão constante de alimentação de 3.3V;
- RDRx: sinal de onda quadrada na entrada do circuito;
- RDR: sinal de saída modulado;
- ERDR: tensão de referência de 1.4V, o qual é o nível mínimo do sinal modulado RDR;
- RDRx_BARRA: sinal RDRx invertido;
- M1, M3, M6: transistores PMOS;
- M2, M4 e M5: transistores NMOS;
- Vss: GND (0V).

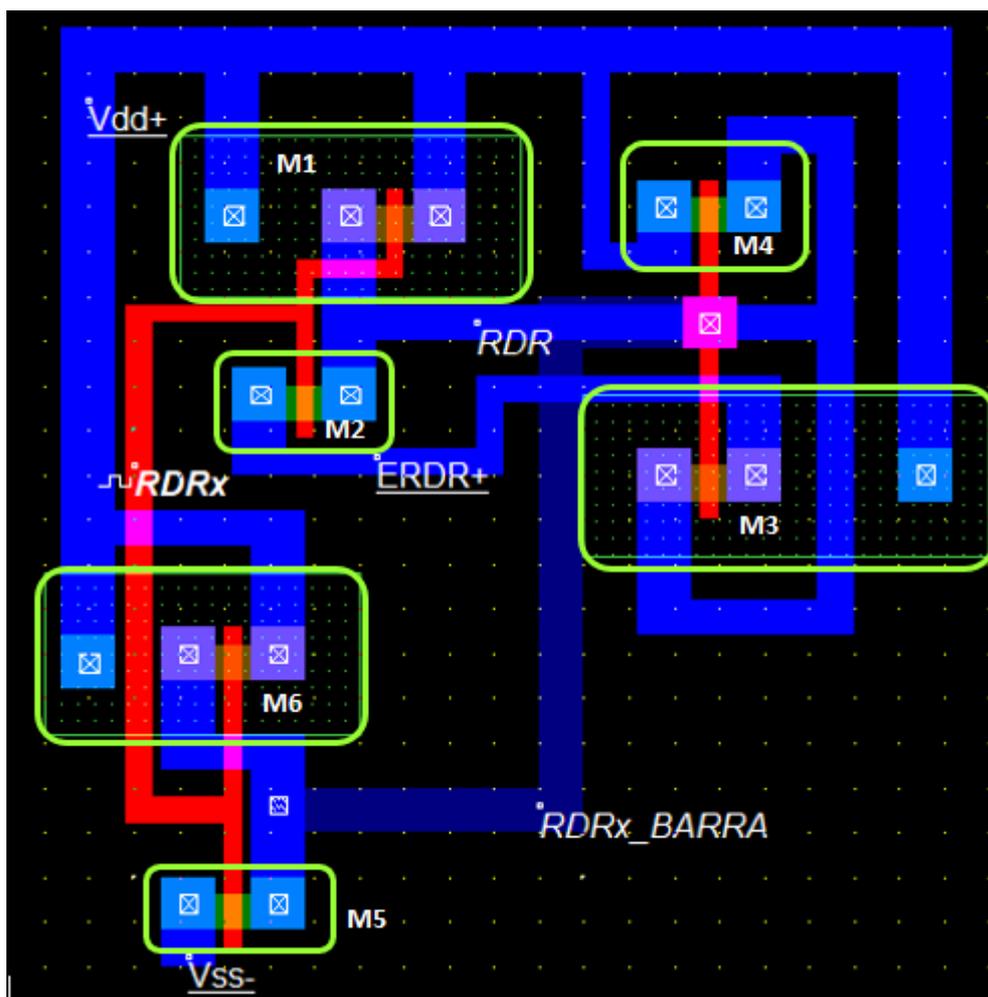


Figura 37 – Layout do circuito de controle RDR.

A figura 38 exibe as respostas do circuito de controle RDR da figura 37. Na curva em branco temos o sinal de RDRx na entrada, em verde o sinal RDRx invertido e em vermelho o sinal RDR modulado com nível mínimo de 1.4V e máximo de 3.3V na saída do circuito.

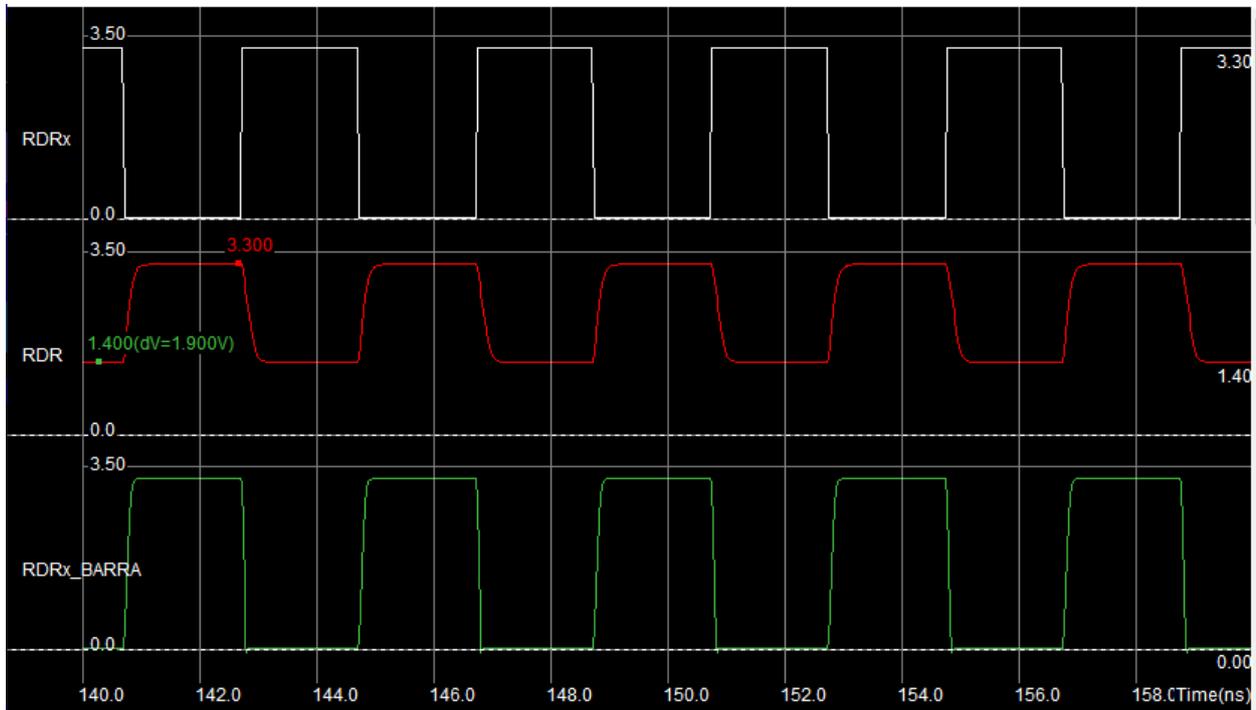


Figura 38 – Formas de onda do sinal de controle RDR.

Na figura 39 temos o layout do circuito de controle de sinal RDR com as seguintes indicações:

- Vdd: tensão constante de alimentação de 3.3V;
- RSTx: sinal de onda quadrada na entrada do circuito;
- RST: sinal de saída modulado;
- ERST: tensão de referência de 1.4V, o qual é o nível mínimo do sinal modulado RDR;
- RSTx_BARRA: sinal RSTx invertido;
- M1, M3, M4 e M5: transistores PMOS;
- M2, M6, M7 e M8: transistores NMOS;
- Vss: GND (0V).

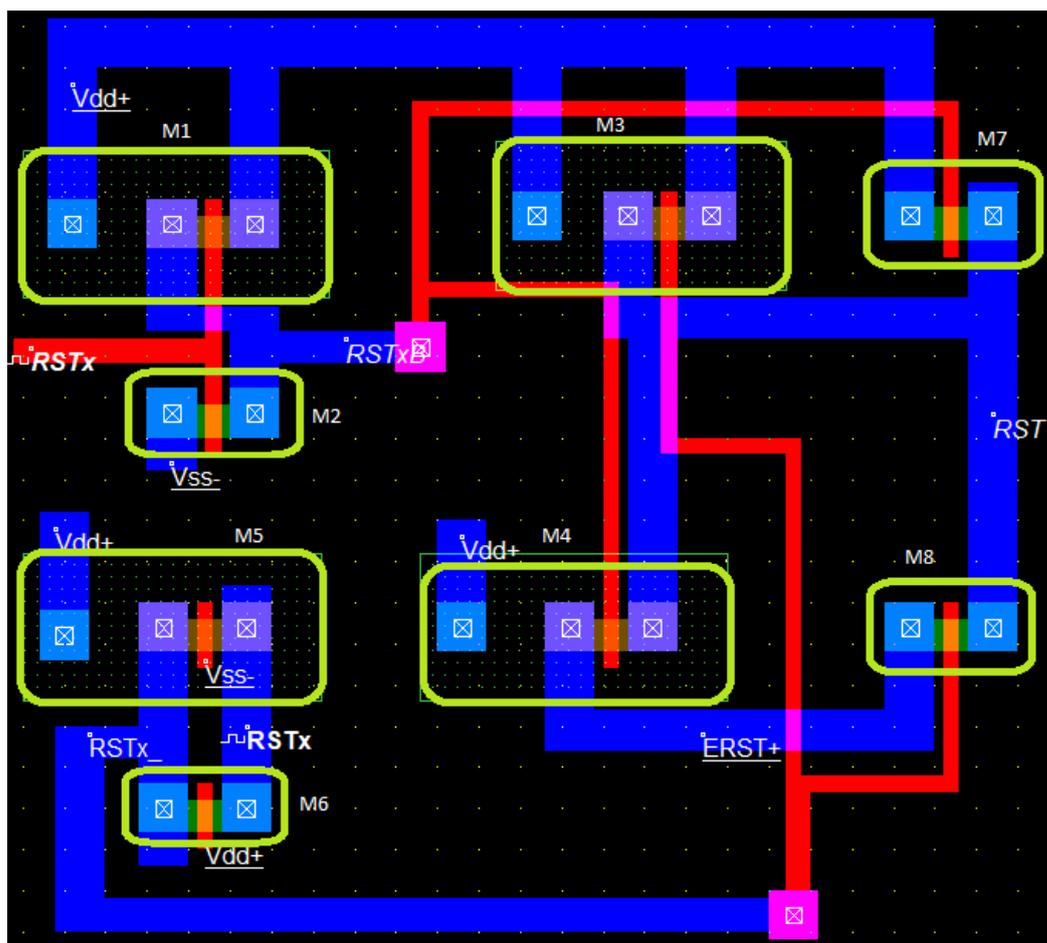


Figura 39 – Layout do circuito de controle RST.

A figura 40 exibe as respostas do circuito de controle RST da figura 39. Na curva em branco temos o sinal de RSTx na entrada, em verde o sinal RSTx invertido e em vermelho o sinal RST modulado com nível mínimo de 2.5V e máximo de 3.3V na saída do circuito.

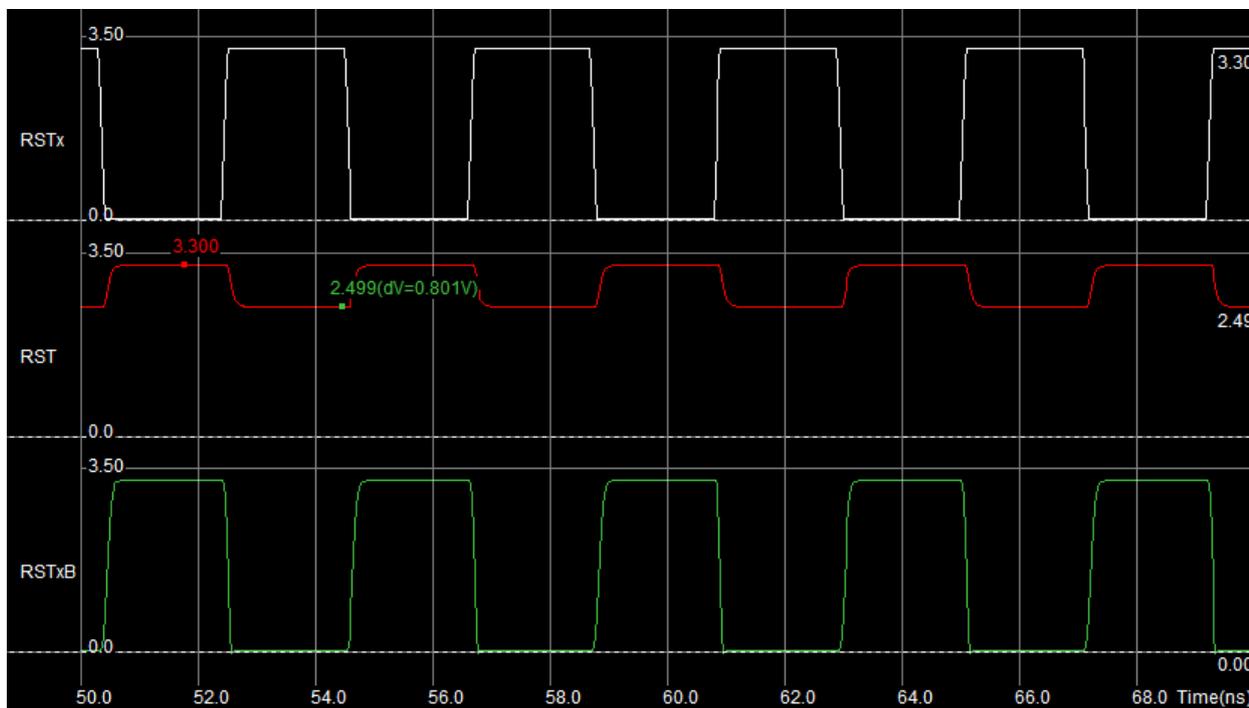


Figura 40 – Curvas do sinal de controle RST.

Com os layouts e formas de ondas exibidos nesse capítulo, evidencia-se que é possível a fabricação, em nível de circuito integrado, da topologia proposta neste trabalho.

6. CONCLUSÃO

Neste trabalho foi apresentada proposta de projeto de desenvolvimento e fabricação de circuitos de controle RDR e RST para uma matriz de pixels 8x8 de sensores tipo APS fabricados em tecnologia AMS CMOS no processo C35B4 na tecnologia de 0.35 μ m.

Para testar o funcionamento dos circuitos, foram realizadas simulações para verificar o comportamento do píxel da matriz de sensores utilizando condições totalmente ideais e com a inclusão de não idealidades como, por exemplo, resistência interna da fonte de alimentação, efeito do aumento de temperatura e resistência de dreno do transistor de reset.

Foi verificado que a resistência de dreno do transistor de reset é a não-idealidade que mais contribui para o atraso na resposta do píxel. Assim, foi proposta uma nova arquitetura de controle do sinal RDR e RST, a qual apresentou desempenho satisfatório para o funcionamento do píxel.

Como efeitos que foram avaliados até o momento não apresentaram correspondência com o efeito observado experimentalmente, é provável que o excesso de temperatura causado por circuitos diferentes daqueles da matriz no próprio C.I. possa estar contribuindo para este aumento de resistividade. Entretanto, na simulação, foi avaliado o efeito da temperatura incidente no circuito integrado e os resultados mostraram variações relevantes apenas na amplitude dos sinais de controle. Não houve mudança relevante no tempo de resposta.

Os circuitos propostos também apresentam níveis de resistividade mais imune à variação de temperatura (mais robusto para operação em regime de temperatura menos adequada), haja vista a influência desta na resistividade dos transistores, o que pode degradar o sinal. Contudo, para visualização dessas vantagens, que não são mostradas na simulação, é necessário uma discussão e análise mais rígida comparando com o circuito experimental.

A proposição desta arquitetura terá pouco impacto no tamanho do circuito pois serão células unitárias depositadas em uma linha ou coluna, não afetando expressivamente em termos de área, comparada a um aumento de área dos pixels, o qual seria muito mais problemático.

É provável que o aumento de temperatura influencie na resistividade do circuito que será ligado a uma coluna ou a uma linha, sendo esse circuito mais robusto para operação em regime de temperatura menos adequados.

7. REFERÊNCIAS

- [1] Freitas, M. O.; Resposta do sensor óptico CMOS do tipo APS para diferentes comprimentos de onda. Monografia – Universidade Federal do Amazonas, Departamento de Eletrônica e Computação. Manaus, 2015.
- [2] LOUREIRO, A. J. M.; Medida da eficiência quântica para um sensor de imagem CMOS com tecnologia 3T-APS. Dissertação de Mestrado – Universidade Federal do Amazonas, Departamento de Eletrônica e Computação. Manaus, 2018.
- [3] DE CASTRO, L. S. O.; Elaboração do Setup de Testes e Código de Acesso do Sensor Óptico HDR – Aplicação da Técnica de Subtração de Dupla Amostragem em Modo Linear-logarítmico para Redução de FPN. Monografia – Universidade Federal do Amazonas, Departamento de Eletrônica e Computação. Manaus, 2015.
- [4] SOUZA, Alexandre Kennedy Pinto. Monografia (Graduação), “Demultiplexação em Níveis Analógicos para o Controle de Sensores de Imagem de Largo Alcance Dinâmico”, Departamento de Eletrônica e Telecomunicações, Universidade Federal do Amazonas, Manaus, 20.
- [5] CRUZ, C. A. de M. Simplified Wide Dynamic Range CMOS Image Sensor with 3T APS Reset-Drain Actuation. Tese (Doutorado) — Universidade Federal de Minas Gerais, Belo Horizonte-MG, Brazil, 2014.
- [6] OLIVEIRA, E. G.; Modelo para Escolha de Topologia de Sensores de Pixels Ativos Logarítmicos Adequadas para Implementação de Sensores de Imagem com Largo Alcance Dinâmico. Dissertação de Mestrado – Universidade Federal do Amazonas, Departamento de Eletrônica e Computação. Manaus, 2016.
- [7] PALAKODETY, A. CMOS Active Pixel Sensors for Digital Cameras: Current State-of-The-Art. Tese (Doutorado) — University of North Texas, maio 2007.
- [8] LAI, L.-W.; KING, Y.-C. A novel logarithmic response CMOS image sensor with high output voltage swing and in-pixel fixed pattern noise reduction. In: ASIC, 2002. Proceedings. 2002 IEEE Asia-Pacific Conference on. [S.l.: s.n.], 2002. p. 105–108.
- [9] NOBLE, P. Self-scanned silicon image detector arrays. IEEE Transactions on Electron Devices, v. 15, n. 4, p. 202–209, abr. 1968. ISSN 0018-9383.

- [10] CHOU, W.-F.; YEH, S.-F.; HSIEH, C.-C. A 143db 1.96% FPN linear-logarithmic CMOS image sensor with threshold-voltage cancellation and tunable linear range. In: Sensors, 2012 IEEE. [S.l.: s.n.], 2012. p. 1–4.
- [11] KAVADIAS, S. et al. A logarithmic response CMOS image sensor with on-chip calibration. Solid-State Circuits, IEEE Journal of, v. 35, n. 8, p. 1146–1152, ago. 2000. ISSN 0018-9200.
- [12] NI, Y.; MATOU, K. A CMOS log image sensor with on-chip FPN compensation. In: Solid-State Circuits Conference, 2001. ESSCIRC 2001. Proceedings of the 27th European. [S.l.: s.n.], 2001. p. 101–104.
- [13] TU, N.; HORNSEY, R.; INGRAM, S. Cmos active pixel image sensor with combined linear and logarithmic mode operation. In: Electrical and Computer Engineering, 1998. IEEE Canadian Conference on. [S.l.: s.n.], 1998. v. 2, p. 754–757 vol.2. ISSN 0840-7789.
- [14] Jaroslav Hynecek, Eric C. Fox e Douglas R. Dykaar. Sensor pixel with linear and logarithmic response. 2001. US6323479 B1. US Patent 6,323,479.
- [15] Martin Wány e CH Schindellegi. Photodetector and method for detecting radiation. 2004. US 6815685 B2. US Patent 6,815,685. Disponível em: <http://ip.com/pat/US6815685>.
- [16] WESTE, N.; HARRIS, D. CMOS VLSI Design: A Circuits and Systems Perspective. 4. ed. [S.l.]: Addison Wesley, 2011. ISBN 978-0-321-54774-3.
- [17] Sergio Bampi and James D. Plummer, “A Modified Lightly Doped Drain Structure for VLSI MOSFET’s”, IEEE Transactions on Electron Devices, vol. ed-36, No. 11, November 1986.
- [18] SEDRA, A. S.; SMITH, K. C. Microelectronic Circuits. 6. ed. New York: Oxford University Press, 2009. ISBN 978-0-19-532303-0.
- [19] Shau-Shen Liu, Sheng-Lyang Jang and Chwan-Gwo Chyau “Compact LDD nMOSFET Degradation Model”, IEEE Transactions on Electron Devices, vol. 45, No. 7, July 1998.
- [20] S. M. Sze, Kwok K. Ng , “Physics of Semiconductor Devices”, Third Edition, A John Wiley & Sons, INC. Publication, 2007.

- [21] Steve Shao-Shiun Chung, Tzng-Si Lin and Yuh Gong Chen “An Efficient Semi-Empirical Model of the I-V Characteristics for LDD MOSFET’s”, *IEEE Transactions on Electron Devices*, vol. 36, No. 9, September 1989.
- [22] Fang-Shi J Lai and Jack Yuan-Chen Sun, “An Analytical One-Dimensional Model for Lightly Doped Drain (LDD) Mosfet Devices”, *IEEE Transactions on Electron Devices*, vol. ed-32, No. 12, December 1985.
- [23] Chmielewski, A. M. M.; - Análise e Projeto de um Sensor de Imagem em 0.35 μm CMOS para Compressão de Dados no Plano Focal de Câmeras Digitais, Dissertação de Mestrado.
- [24] CRUZ, C. de M. et al. Voltage Mode FPN Calibration in the Logarithmic CMOS Imager. *Electron Devices, IEEE Transactions on*, v. 62, n. 8, p. 2528–2534, ago. 2015. ISSN 0018-9383.
- [25] CRUZ, C. de M. et al. FPN Attenuation by Reset-Drain Actuation in the Linear-Logarithmic Active Pixel Sensor. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, v. 61, n. 10, p. 2825–2833, out. 2014. ISSN 1549-8328.
- [26] CRUZ, C. de M, SOUZA, A. K. P, ROCHA, D., FURTADO, L.L.S; Circuitos de Matrizes APS com dreno de reset livre e CDS projetados para o chip IR2., 2013.
- [27] Austria MicroSystem, 0.35 μm CMOS C35 Process Parameters. Document Number: ENG 182. Company Confidential.
- [28] FOSSUM, E. R. “CMOS Image Sensors: Electronic Camera on a Chip”, *IEEE Transactions on Electron Devices*, v. 44, n. 10, pp. 1689-1698, Oct. 1997.
- [29] DICK, R. H., WECKLER, G. P., “Integrated Arrays of Silicon Photodetectors for Image Sensing”, *IEEE Transactions on Electron Devices*, v. ED-15, n. 4, pp. 196-201, Apr. 1968.
- [30] Goretti, K. “Estruturas APS Resistentes à Radiação para Aplicações Espaciais” 2006. 118pgs. Dissertação (Mestrado em Ciências Em Engenharia Elétrica) - Corpo Docente Da Coordenação Dos Programas De Pós-Graduação De Engenharia. Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2006.

[31] Teixeira, A. S.; Cotta, E. A; Cruz, C. A. M e Monteiro, D. W. L; “Spectral Noise Analysis of a CMOS Imager at Low Temperature for Logarithmic Mode”. Artigo científico publicado no IEEE.

[32] R. Coath, J. Crooks, A. Godbeer, M. Wilson, R. Turchetta. “Advanced Pixel Architectures for Scientific Image Sensors”.

[33] Cruz, C. A. M e Monteiro, D. W. L, Cotta, E. A; Lucena, V. F; and Souza, A. K. P.; FPN Attenuation by Reset - Drain Actuation in the Linear - Logarithmic Active Pixel Sensor. Artigo científico publicado no IEEE.

[34] TEIXEIRA, E. C.; Sensor APS com Faixa Dinâmica Estendida. Tese de D.Sc, UFRJ. COPPE, Rio de Janeiro, 2010.

[35] TABET, M., “Double Sampling Techniques for CMOS Image Sensors”, PhD Thesis, University of Waterloo, Waterloo, Ontario, Canada, 2002.

[36] MOHSENFAR, S.; SHAHROKHABADI, M. H. Gate Stack High-k Materials for SiBased MOSFETs Past, Present, and Futures. *Microelectronics and Solid State Electronics*, p. 12–24, 2015. ISSN 2324-6456.